

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-036542

(43)Date of publication of application : 02.02.2000

(51)Int.Cl.

H01L 21/8244

H01L 27/11

(21)Application number : 10-203848

(71)Applicant : HITACHI LTD

HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 17.07.1998

(72)Inventor : MINAMI MASATAKA

MIWA HIDEO

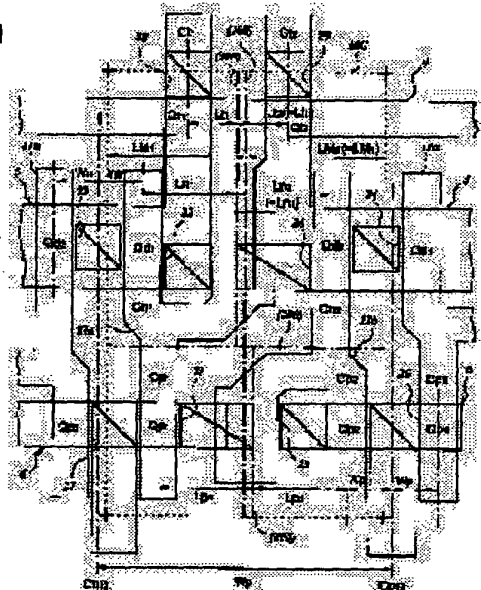
TSURUOKA KAZUHIRO

## (54) SEMICONDUCTOR INTEGRATED-CIRCUIT DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To shorten the memory-cell size of a complete MOS-type SRAM.

**SOLUTION:** In the complete CMOS type SRAM, wherein the memory cell is constituted of six MISFETs, the right and left central lines (300) of an n-channel MISFET (transfer MISFETs Qt1' and Qt2' and driving MISFETs Qd1 and Qd2) are deviated to the left side from the right and left central lines (100) of the memory cell MC. Thus, a gate electrode 11b of a driving MISFET Qd2 is shifted to the left side. Furthermore, the right and left central lines (400) of a p-channel type MISFETs (MISFETs for load Qp1 and Qp2) are shifted to the right side rather than the central lines (400) at the right and left side of the memory cell MC. Thus, a gate electrode 11a of a load MISFET Qp1 for the load is shifted to the right side.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

---

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

\* NOTICES \*

5

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

10 2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

15

[Claim(s)]

[Claim 1] A memory cell is constituted by the 1st formed in the principal plane of a semiconductor substrate, MISFET for the 2nd drive, the 1st, MISFET for the 2nd transfer and the 1st, and MISFET for the 2nd load, and they are the aforementioned

20 MISFET for the 1st drive, the aforementioned MISFET for the 1st transfer, and the aforementioned MISFET for the 1st load. SRAM arranged so that the aforementioned MISFET for the 2nd drive, the aforementioned MISFET for the 2nd transfer, and the aforementioned MISFET for the 2nd load may counter on both sides of the center line of right and left of the aforementioned memory cell. It is semiconductor integrated

25 circuit equipment equipped with the above, and the center line of right and left of the above 1st and MISFET for the 2nd drive is shifted and located in the one side of right and left rather than the center line of right and left of the aforementioned memory cell,

and the center line of right and left of the above 1st and MISFET for the 2nd load is characterized by being shifted and located in the other side of right and left rather than the center line of right and left of the aforementioned memory cell.

[Claim 2] A memory cell is constituted by the 1st formed in the principal plane of a semiconductor substrate, MISFET for the 2nd drive, the 1st, MISFET for the 2nd transfer and the 1st, and MISFET for the 2nd load, and they are the aforementioned MISFET for the 1st drive, the aforementioned MISFET for the 1st transfer, and the aforementioned MISFET for the 1st load. SRAM arranged so that the aforementioned MISFET for the 2nd drive, the aforementioned MISFET for the 2nd transfer, and the aforementioned MISFET for the 2nd load may counter on both sides of the center line of right and left of the aforementioned memory cell. It is semiconductor integrated circuit equipment equipped with the above. the center line of the aforementioned MISFET for the 1st load It is arranged like. the [ the object for the 2nd drive which carries out the aforementioned opposite rather than the center line of the aforementioned MISFET for the 1st drive, and ] -- the MISFET side for 2 loads -- near -- the center line of the aforementioned MISFET for the 2nd drive the [ the object for the 1st drive which carries out the aforementioned opposite rather than the center line of the aforementioned MISFET for the 2nd load, and ] -- the MISFET side for 1 loads -- near -- it is characterized by being arranged like

[Claim 3] It is semiconductor integrated circuit equipment according to claim 1 or 2. the 1st gate electrode common to the aforementioned MISFET for the 1st drive, and the aforementioned MISFET for the 1st load It consists of the 3rd field which extends on the 1st field which constitutes the gate electrode of the aforementioned MISFET for the 1st drive, the 2nd field which constitutes the gate electrode of the aforementioned MISFET for the 1st load, and the drain field of the aforementioned MISFET for the 2nd drive. The 2nd gate electrode common to the aforementioned MISFET for the 2nd drive, and the aforementioned MISFET for the 2nd load It consists of the 3rd field which

extends on the 1st field which constitutes the gate electrode of the aforementioned MISFET for the 2nd drive, the 2nd field which constitutes the gate electrode of the aforementioned MISFET for the 2nd load, and the drain field of the aforementioned MISFET for the 1st load. Each 1st field of the above of the aforementioned 1st gate electrode and the aforementioned 2nd gate electrode, the 2nd field of the above, and the 3rd field of the above are semiconductor integrated circuit equipment characterized by being arranged by the abbreviation Y character type pattern.

[Claim 4] p type with which it is semiconductor integrated circuit equipment according to claim 1, 2, or 3, and the above 1st and MISFET for the 2nd drive were formed — n type with which the active region of a well, and the above 1st and MISFET for the 2nd load were formed — the semiconductor integrated circuit equipment characterized by the active region of a well being mutually separated by the isolation slot formed in the principal plane of the aforementioned semiconductor substrate

[Claim 5] It is semiconductor integrated circuit equipment given in any 1 term of claims 1-4. The 1st gate electrode common to the aforementioned MISFET for the 1st drive, and the aforementioned MISFET for the 1st load, With the 2nd gate electrode common to the aforementioned MISFET for the 2nd drive, and the aforementioned MISFET for the 2nd load It is constituted by the electric conduction film of the 1st layer formed on the principal plane of the aforementioned semiconductor substrate. The 1st partial wiring which connects electrically the drain field of the aforementioned MISFET for the 1st drive, the drain field of the aforementioned MISFET for the 1st load, and the aforementioned 2nd gate electrode, With the 2nd partial wiring which connects electrically the drain field of the aforementioned MISFET for the 2nd drive, the drain field of the aforementioned MISFET for the 2nd load, and the aforementioned 1st gate electrode It is constituted by the electric conduction film of the 2nd layer formed in the upper part of the electric conduction film of the 1st aforementioned layer. the end section of the aforementioned 1st partial wiring It is arranged at a central site rather

than the edge of the 1st contact hole formed in the upper part of the drain field of the  
aforementioned MISFET for the 1st drive. the other end It is arranged at a central site  
rather than the edge of the 2nd contact hole formed ranging over the upper part of the  
drain field of the aforementioned MISFET for the 1st load, and the upper part of the  
5 aforementioned 2nd gate electrode. The end section of the aforementioned 2nd partial  
wiring is arranged at a central site rather than the edge of the 3rd contact hole formed  
ranging over the upper part of the drain field of the aforementioned MISFET for the 2nd  
drive, and the upper part of the aforementioned 1st gate electrode. Semiconductor  
integrated circuit equipment characterized by being arranged at the central site rather  
10 than the edge of the 4th contact hole formed in the upper part of the drain field of the  
aforementioned MISFET for the 2nd load.

[Claim 6] It is semiconductor integrated circuit equipment given in any 1 term of claims  
1-5. the width of face of right and left of the aforementioned memory cell The  
mid-position of the gate electrode of MISFET for a drive of the memory cell which  
15 adjoins the gate electrode of the aforementioned MISFET for the 1st drive, and it at a  
longitudinal direction, It is constituted so that it may become smaller than the width of  
face between the mid-position of the gate electrode of MISFET for loads of the  
memory cell which adjoins the gate electrode of the aforementioned MISFET for the  
2nd load, and it at a longitudinal direction. Semiconductor integrated circuit equipment  
20 characterized by arranging the aforementioned memory cell by the pattern at the  
longitudinal direction repeatedly.

[Claim 7] It is semiconductor integrated circuit equipment given in any 1 term of claims  
1-6. The 1st gate electrode common to the aforementioned MISFET for the 1st drive,  
and the aforementioned MISFET for the 1st load, With the 2nd gate electrode common  
25 to the aforementioned MISFET for the 2nd drive, and the aforementioned MISFET for  
the 2nd load It is constituted by the electric conduction film of the 1st layer formed on  
the principal plane of the aforementioned semiconductor substrate. The 1st partial

wiring which connects electrically the drain field of the aforementioned MISFET for the 1st drive, the drain field of the aforementioned MISFET for the 1st load, and the aforementioned 2nd gate electrode. The end section extends in the upper part of the drain field of the aforementioned MISFET for the 1st drive. It is constituted by the electric conduction film of the 2nd layer formed in the interior of the 1st contact hole. the other end extends ranging over the upper part of the drain field of the aforementioned MISFET for the 1st load, and the upper part of the aforementioned 2nd gate electrode. The 2nd partial wiring which connects electrically the drain field of the aforementioned MISFET for the 2nd drive, the drain field of the aforementioned MISFET for the 2nd load, and the aforementioned 1st gate electrode. The end section extends in the upper part of the drain field of the aforementioned MISFET for the 2nd drive. It is constituted by the electric conduction film of the 2nd layer formed in the interior of the 2nd contact hole. the other end extends ranging over the upper part of the drain field of the aforementioned MISFET for the 2nd load, and the upper part of the aforementioned 1st gate electrode. The reference voltage line electrically connected with the source field of the above 1st and MISFET for the 2nd drive, and the supply voltage line electrically connected with the source field of the above 1st and MISFET for the 2nd load. Semiconductor integrated circuit equipment characterized by being constituted with the electric conduction film of the 3rd layer formed in the upper part of the electric conduction film of the 2nd aforementioned layer.

[Claim 8] It is semiconductor integrated circuit equipment characterized by being semiconductor integrated circuit equipment according to claim 7, and the electric conduction film of the 2nd aforementioned layer and the electric conduction film of the 3rd aforementioned layer being constituted by the electrical conducting material of a different kind from which an etch rate differs mutually.

[Claim 9] Two or more aforementioned memory cells which are semiconductor integrated circuit equipment given in any 1 term of claims 1-8, and have been arranged

in a memory cell array are semiconductor integrated circuit equipment characterized by being repeatedly arranged by the pattern, and being arranged in the extension direction of a word line so that it may become an axial symmetry to a boundary with the memory cell which carried out the parallel displacement for the pattern of the aforementioned memory cell, and which adjoins in the extension direction of the complementarity data line.

[Claim 10] Two or more aforementioned memory cells which are semiconductor integrated circuit equipment given in any 1 term of claims 1-8, and have been arranged in a memory cell array are semiconductor integrated circuit equipment characterized by being arranged in the extension direction of a word line so that it may become the memory cell which carried out the parallel displacement of the pattern of the aforementioned memory cell, and which is repeatedly arranged by the pattern and adjoins in the extension direction of the complementarity data line, and a point symmetry.

[Claim 11] It is semiconductor integrated circuit equipment given in any 1 term of claims 1-10. The contact hole formed between MISFET(s) for loads of the memory cell which adjoins the aforementioned MISFET for the 1st load, and a longitudinal direction Rather than the contact hole formed between MISFET(s) for a drive of the memory cell which adjoins the aforementioned MISFET for the 1st drive, and a longitudinal direction It is arranged like. the [ the aforementioned object for the 2nd drive which carries out opposite, and ] — the MISFET side for 2 loads — near — The contact hole formed between MISFET(s) for a drive of the memory cell which adjoins the aforementioned MISFET for the 2nd drive, and a longitudinal direction Rather than the contact hole formed between MISFET(s) for loads of the memory cell which adjoins the aforementioned MISFET for the 2nd load, and a longitudinal direction the [ the aforementioned object for the 1st drive which carries out opposite, and ] — the MISFET side for 1 loads — near — the semiconductor integrated circuit equipment



characterized by being arranged like and arranging the aforementioned memory cell by the pattern at the longitudinal direction repeatedly

[Claim 12] The 1st of the principal plane of a semiconductor substrate formed in the well p mold, MISFET for the 2nd drive and the 1st, four n channel type MISFET(s) that  
5 consist of MISFET(s) for the 2nd transfer. The 1st of the principal plane of the aforementioned semiconductor substrate formed in the well n mold, MISFET for the 2nd load. The electric conduction film of the 1st layer which is the manufacture method of semiconductor integrated circuit equipment equipped with the above, and was deposited on the principal plane of the (a) aforementioned semiconductor substrate by  
10 \*\*\*\*\*ing The 1st gate electrode common to the aforementioned MISFET for the 1st drive, and the aforementioned MISFET for the 1st load, The 2nd gate electrode common to the aforementioned MISFET for the 2nd drive, and the aforementioned MISFET for the 2nd load, An insulator layer by \*\*\*\*\*ing between the 1st layer deposited on the upper part of the process which forms the 3rd gate electrode common  
15 to the aforementioned MISFET for the 1st transfer, and the aforementioned MISFET for the 2nd transfer, and the electric conduction film of the (b) aforementioned 1st layer The 1st contact hole over the upper part of the aforementioned 1st gate electrode and the upper part of the drain field of the aforementioned MISFET for the 2nd drive is formed. An insulator layer by \*\*\*\*\*ing between the process [ which forms the  
20 2nd contact hole over the upper part of the aforementioned 2nd gate electrode, and the upper part of the drain field of the aforementioned MISFET for the 1st load ], and (c) aforementioned 1st layer The 3rd contact hole is formed in the upper part of the drain field of the aforementioned MISFET for the 1st drive. The 4th contact hole is formed in the upper part of the source field of the aforementioned MISFET for the 1st drive. The  
25 5th contact hole is formed in the upper part of the source field of the aforementioned MISFET for the 2nd drive. The 6th contact hole is formed in the upper part of the drain field of the aforementioned MISFET for the 2nd load. The 7th contact hole is formed in

the upper part of the source field of the aforementioned MISFET for the 2nd load. An octavus contact hole is formed in the upper part of the source field of the aforementioned MISFET for the 1st load. The 9th contact hole is formed in the upper part of the drain field of the aforementioned MISFET for the 1st transfer. The process

5 which forms the 10th contact hole in the upper part of the drain field of the aforementioned MISFET for the 2nd transfer, and the electric conduction film of the 2nd layer deposited on the upper part of an insulator layer between the (d) aforementioned 1st layer by \*\*\*\*\*ing The end section is electrically connected with the drain field of the aforementioned MISFET for the 1st drive through the 3rd

10 contact hole of the above. The 1st partial wiring to which the other end is electrically connected with the aforementioned 2nd gate electrode and the drain field of the aforementioned MISFET for the 1st load through the 2nd contact hole of the above is formed. The end section is electrically connected with the aforementioned 1st gate electrode and the drain field of the aforementioned MISFET for the 2nd drive through

15 the 1st contact hole of the above. The 2nd partial wiring to which the other end is electrically connected with the drain field of the aforementioned MISFET for the 2nd load through the 6th contact hole of the above is formed. The end section is electrically connected with the source field of the aforementioned MISFET for the 1st drive through the 4th contact hole of the above. The reference voltage line by which the

20 other end is electrically connected with the source field of the aforementioned MISFET for the 2nd drive through the 5th contact hole of the above is formed. The end section is electrically connected with the source field of the aforementioned MISFET for the 2nd load through the 7th contact hole of the above. The supply voltage line by which the other end is electrically connected with the source field of the aforementioned

25 MISFET for the 1st load through the aforementioned octavus contact hole is formed. The 1st pad layer electrically connected with the drain field of the aforementioned MISFET for the 1st transfer through the 9th contact hole of the above is formed. The

process which forms the 2nd pad layer electrically connected with the drain field of the  
aforementioned MISFET for the 2nd transfer through the 10th contact hole of the  
above, (e) by \*\*\*\*\*ing, an insulator layer between the 2nd layer deposited on the  
upper part of the electric conduction film of the 2nd aforementioned layer The process  
5 which forms the 1st through hole in the upper part of the aforementioned 1st pad layer,  
and forms the 2nd through hole in the upper part of the aforementioned 2nd pad layer,  
and the electric conduction film of the 3rd layer deposited on the upper part of an  
insulator layer between the (f) aforementioned 2nd layer by \*\*\*\*\*ing It is  
characterized by including the process which forms one side of the complementarity  
10 data line electrically connected with the aforementioned 1st pad layer through the 1st  
through hole of the above, and forms another side of the aforementioned  
complementarity data line electrically connected with the aforementioned 2nd pad layer  
through the 2nd through hole of the above.

[Claim 13] The manufacture method of the semiconductor integrated circuit equipment  
15 which is the manufacture method of semiconductor integrated circuit equipment  
according to claim 12, and is characterized by forming the above 1st and the 2nd  
contact hole after forming the above 3rd – the 10th contact hole after forming the  
above 1st and the 2nd contact hole, or forming the above 3rd – the 10th contact hole.

[Claim 14] It is the manufacture method of semiconductor integrated circuit equipment  
20 according to claim 12. The 3rd contact hole of the above, The 4th contact hole of the  
above and the aforementioned octavus contact hole are formed by the self aryne to the  
aforementioned 1st gate electrode. The 5th contact hole of the above, the 6th contact  
hole of the above, and the 7th contact hole of the above are formed by the self aryne  
to the aforementioned 2nd gate electrode. The manufacture method of the  
25 semiconductor integrated circuit equipment characterized by forming the 9th contact  
hole of the above, and the 10th contact hole of the above by the self aryne to the  
aforementioned 3rd gate electrode.

[Claim 15] The 1st of the principal plane of a semiconductor substrate formed in the well p mold, MISFET for the 2nd drive and the 1st, four n channel type MISFET(s) that consist of MISFET(s) for the 2nd transfer. The 1st of the principal plane of the aforementioned semiconductor substrate formed in the well n mold, MISFET for the 2nd

5 load. Are the manufacture method of semiconductor integrated circuit equipment equipped with the above, and the electric conduction film of the 1st layer is deposited on the principal plane of the (a) aforementioned semiconductor substrate. After depositing the 1st insulator layer on the upper part of the electric conduction film of the 1st aforementioned layer, subsequently, by carrying out patterning of the 1st

10 insulator layer of the above, and the electric conduction film of the 1st aforementioned layer The 1st gate electrode common to the aforementioned MISFET for the 1st drive, and the aforementioned MISFET for the 1st load, The 2nd gate electrode common to the aforementioned MISFET for the 2nd drive, and the aforementioned MISFET for the 2nd load, A part of 1st insulator layer of the above of the upper part of the process

15 which forms the 3rd gate electrode common to the aforementioned MISFET for the 1st transfer, and the aforementioned MISFET for the 2nd transfer, and the 1st gate electrode of (b) above by \*\*\*\*\*ing By exposing a part of aforementioned 1st gate electrode, and \*\*\*\*\*ing in a part of 1st insulator layer of the above of the upper part of the aforementioned 2nd gate electrode The 2nd insulator layer is deposited on

20 the principal plane of the process which exposes a part of aforementioned 2nd gate electrode, and the (c) aforementioned semiconductor substrate. Subsequently, after depositing on the upper part of the 2nd insulator layer of the above the 3rd insulator layer in which an etch rate differs from the 2nd insulator layer of the above, Use for the stopper of etching of the 2nd insulator layer of the above, and the end section extends

25 in the upper part of the drain field of the aforementioned MISFET for the 1st drive. The 1st field where the other end extends in the upper part of the drain field of the aforementioned MISFET for the 1st load, and the upper part of the aforementioned 2nd

gate electrode, The end section extends in the upper part of the drain field of the  
aforementioned MISFET for the 2nd drive. The 2nd field where the other end extends in  
the upper part of the drain field of the aforementioned MISFET for the 2nd load, and the  
upper part of the aforementioned 1st gate electrode, The 3rd field of the upper part of  
5 the source field of the aforementioned MISFET for the 1st drive, the 4th field of the  
upper part of the source field of the aforementioned MISFET for the 2nd drive, The 5th  
field of the upper part of the source field of the aforementioned MISFET for the 2nd  
load, the 6th field of the upper part of the source field of the aforementioned MISFET  
for the 1st load, The process which \*\*\*\*\*s the 3rd insulator layer of the above of  
10 the 8th field of the upper part of the 7th field of the upper part of the drain field of the  
aforementioned MISFET for the 1st transfer, and the drain field of the aforementioned  
MISFET for the 2nd transfer, (d) by \*\*\*\*\*ing, the 2nd insulator layer of the above  
of the above 1st – the 8th field Form the 1st contact hole in the 1st field of the above,  
and the 2nd contact hole is formed in the 2nd field of the above. Form the 4th contact  
15 hole in the 3rd field of the above, and the 5th contact hole is formed in the 4th field of  
the above. Form the 7th contact hole in the 5th field of the above, and the 8th contact  
hole is formed in the 6th field of the above. The process which forms the 9th contact  
hole in the 7th field of the above, and forms the 10th contact hole in the 8th field of the  
above, (e) by removing the electric conduction film of the aforementioned 2nd layer of  
20 the upper part of the 3rd insulator layer of the above, and leaving the interior of the  
above 1st, the 2nd, the 4th, the 5th and the 7th – the 10th contact hole, after  
depositing the electric conduction film of the 2nd layer on the principal plane of the  
aforementioned semiconductor substrate Inside the 1st contact hole of the above, the  
drain field of the aforementioned MISFET for the 1st drive, The 1st partial wiring which  
25 connects electrically the drain field and the aforementioned 2nd gate electrode of the  
aforementioned MISFET for the 1st load is formed. Inside the 2nd contact hole of the  
above, the drain field of the aforementioned MISFET for the 2nd drive, The 2nd partial

wiring which connects electrically the drain field and the aforementioned 1st gate electrode of the aforementioned MISFET for the 2nd load is formed. After depositing the electric conduction film of the 3rd layer on the principal plane of the process which forms a plug in the interior of the above 4th, the 5th and the 7th – the 10th contact hole, and the (f) aforementioned semiconductor substrate, the electric conduction film of the 3rd aforementioned layer by \*\*\*\*\*ing The end section is electrically connected with the source field of the aforementioned MISFET for the 1st drive through the 4th contact hole of the above. The reference voltage line by which the other end is electrically connected with the source field of the aforementioned MISFET for the 2nd drive through the 5th contact hole of the above is formed. The end section is electrically connected with the source field of the aforementioned MISFET for the 2nd load through the 7th contact hole of the above. The supply voltage line by which the other end is electrically connected with the source field of the aforementioned MISFET for the 1st load through the 8th contact hole of the above is formed. The 1st pad layer electrically connected with the drain field of the aforementioned MISFET for the 1st transfer through the 9th contact hole of the above is formed. The process which forms the 2nd pad layer electrically connected with the drain field of the aforementioned MISFET for the 2nd transfer through the 10th contact hole of the above, and the 4th insulator layer deposited on the principal plane of the (g) aforementioned semiconductor substrate by \*\*\*\*\*ing The electric conduction film of the 4th layer deposited on the principal plane of the process which forms the 1st through hole in the upper part of the aforementioned 1st pad layer, and forms the 2nd through hole in the upper part of the aforementioned 2nd pad layer, and the (h) aforementioned semiconductor substrate by \*\*\*\*\*ing It is characterized by including the process which forms one side of the complementarity data line electrically connected with the aforementioned 1st pad layer through the 1st through hole of the above, and forms another side of the aforementioned complementarity data line

electrically connected with the aforementioned 2nd pad layer through the 2nd through hole of the above.

5

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

10 [The technical field to which invention belongs] this invention relates to semiconductor integrated circuit equipment and its manufacturing technology, and is six MISFET(s) (Metal Insulator Semiconductor Field Effect Transistor) especially. Perfect CMOS which used and constituted the memory cell (Complementary Metal Oxide Semiconductor) Type SRAM (Static Random Access Memory) It applies to the semiconductor integrated  
15 circuit equipment which it has, and is related with effective technology.

[0002]

[Description of the Prior Art] Perfect CMOS type SRAM which constituted the memory cell using six MISFET(s) is mainly used for the cache memory for a personal computer or workstations. About this kind of perfect CMOS type SRAM, JP,9-129753,A,  
20 JP,9-55440,A, JP,9-36252,A, etc. have a publication, for example.

[0003] The above-mentioned perfect CMOS type SRAM is constituted by two MISFET(s) for a drive, two MISFET(s) for loads, and two MISFET(s) for a transfer which have been arranged at the intersection of the complementarity data line of a couple, and a word line. MISFET for a drive and MISFET for a transfer consist of n channel  
25 types, and MISFET for loads consists of p-channel types.

[0004] Among the six above-mentioned MISFET(s) which constitute a memory cell, for the 1st drive, it reaches MISFET and MISFET for the 1st load constitutes the 1st

CMOS inverter, for the 2nd drive, it reaches MISFET and MISFET for the 2nd load constitutes the 2nd CMOS inverter. Cross linking of the mutual input/output terminal (accumulation node) of the CMOS inverter of these couples is carried out through partial wiring of a couple, and it constitutes the flip-flop circuit as the information storage section which memorizes 1-bit information.

[0005] One input/output terminal of the above-mentioned flip-flop circuit is connected to the source field of MISFET for the 1st transfer, and the input/output terminal of another side is connected to the source field of MISFET for the 2nd transfer. The drain field of MISFET for the 1st transfer is connected to one side of the complementarity data line of a couple, and the drain field of MISFET for the 2nd transfer is connected to another side of the complementarity data line. the [ the 1st and ] — a word line connects with each gate electrode of MISFET for 2 transfers — having — this word line — the [ the 1st and ] — the flow of MISFET for 2 transfers and un-flowing are controlled

[0006] the [ the 1st which consisted of n channel types, and ] — the [ MISFET for 2 drives, the 1st, and ] — MISFET for 2 transfers — p type — the [ the 1st which was formed in the active region of a well and consisted of p-channel types, and ] — MISFET for 2 loads — n type — it is formed in the active region of a well

[0007] the [ the above-mentioned MISFET for the 1st drive, and ] — MISFET for 1 loads — p type — a well and n type — it has the common 1st gate electrode which extends in the shape of a straight line ranging over a well, and the tee which extends in the upper part of the drain field of MISFET for the 2nd drive is formed in a part of this 1st gate electrode the same — the [ MISFET for the 2nd drive, and ] — MISFET for 2 loads — p type — a well and n type — it has the common 2nd gate electrode which extends in the shape of a straight line ranging over a well, and the tee which extends in the upper part of the drain field of MISFET for the 1st load is formed in a part of this 2nd gate electrode the [ namely, / the 1st and ] — each of 2 gate electrode is arranged



by the pattern of the letter of the abbreviation for T characters which consists of a portion which extends in the shape of a straight line, and a tee

[0008]

[Problem(s) to be Solved by the Invention] As for the above-mentioned perfect CMOS  
5 type SRAM used for a cache memory etc., detailed-ization of memory cell size is demanded for large-capacity-izing and improvement in the speed.

[0009] However, even if the layout of the conventional memory cell tends to reduce memory cell size using self aryne contact technology, trench isolation technology, etc. the [ MISFET for the 1st drive mentioned above, and ] -- with the 1st gate electrode  
10 common to MISFET for 1 loads The minimum value (lower limit decided by the resolution limit of a photolithography) of a space with the 2nd gate electrode common to MISFET for the 2nd load is restrained by reaching MISFET for the 2nd drive, and there is a problem that only until can reduce memory cell size to some extent.

[0010] The purpose of this invention is to offer the technology which can reduce the  
15 memory cell size of perfect CMOS type SRAM.

[0011] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0012]

20 [Means for Solving the Problem] It will be as follows if the outline of a typical thing is explained among invention indicated in this application.

[0013] (1) The 1st, MISFET for the 2nd drive by which the semiconductor integrated circuit equipment of this invention was formed in the principal plane of a semiconductor substrate, A memory cell is constituted by the 1st, MISFET for the 2nd transfer and the  
25 1st, and MISFET for the 2nd load. The aforementioned MISFET for the 1st drive, the aforementioned MISFET for the 1st transfer, and the aforementioned MISFET for the 1st load, It has SRAM arranged so that the aforementioned MISFET for the 2nd drive,

the aforementioned MISFET for the 2nd transfer, and the aforementioned MISFET for the 2nd load may counter on both sides of the center line of right and left of the aforementioned memory cell. The center line of right and left of the above 1st and MISFET for the 2nd drive is shifted and located in the one side of right and left rather than the center line of right and left of the aforementioned memory cell, and the center line of right and left of the above 1st and MISFET for the 2nd load is shifted and located in the other side of right and left rather than the center line of right and left of the aforementioned memory cell.

[0014] (2) The manufacture method of the semiconductor integrated circuit equipment of this invention The electric conduction film of the 1st layer which is the manufacture method of the semiconductor integrated circuit equipment the above (1), and was deposited on the principal plane of (a) semiconductor substrate by \*\*\*\*\*ing The 1st gate electrode common to the aforementioned MISFET for the 1st drive, and the aforementioned MISFET for the 1st load, The 2nd gate electrode common to the aforementioned MISFET for the 2nd drive, and the aforementioned MISFET for the 2nd load, An insulator layer by \*\*\*\*\*ing between the 1st layer deposited on the upper part of the process which forms the 3rd gate electrode common to the aforementioned MISFET for the 1st transfer, and the aforementioned MISFET for the 2nd transfer, and the electric conduction film of the (b) aforementioned 1st layer The 1st contact hole over the upper part of the aforementioned 1st gate electrode and the upper part of the drain field of the aforementioned MISFET for the 2nd drive is formed. An insulator layer by \*\*\*\*\*ing between the process [ which forms the 2nd contact hole over the upper part of the aforementioned 2nd gate electrode, and the upper part of the drain field of the aforementioned MISFET for the 1st load ], and (c) aforementioned 1st layer The 3rd contact hole is formed in the upper part of the drain field of the aforementioned MISFET for the 1st drive. The 4th contact hole is formed in the upper part of the source field of the aforementioned MISFET for the 1st drive. The 5th

contact hole is formed in the upper part of the source field of the aforementioned MISFET for the 2nd drive. The 6th contact hole is formed in the upper part of the drain field of the aforementioned MISFET for the 2nd load. The 7th contact hole is formed in the upper part of the source field of the aforementioned MISFET for the 2nd load. An

5 octavus contact hole is formed in the upper part of the source field of the aforementioned MISFET for the 1st load. The 9th contact hole is formed in the upper part of the drain field of the aforementioned MISFET for the 1st transfer. The process which forms the 10th contact hole in the upper part of the drain field of the

10 aforementioned MISFET for the 2nd transfer, and the electric conduction film of the 2nd layer deposited on the upper part of an insulator layer between the (d) aforementioned 1st layer by \*\*\*\*\*ing The end section is electrically connected with the drain field of the aforementioned MISFET for the 1st drive through the 3rd contact hole of the above. The 1st partial wiring to which the other end is electrically

15 connected with the aforementioned 2nd gate electrode and the drain field of the aforementioned MISFET for the 1st load through the 2nd contact hole of the above is formed. The end section is electrically connected with the aforementioned 1st gate electrode and the drain field of the aforementioned MISFET for the 2nd drive through the 1st contact hole of the above. The 2nd partial wiring to which the other end is electrically connected with the drain field of the aforementioned MISFET for the 2nd

20 load through the 6th contact hole of the above is formed. The end section is electrically connected with the source field of the aforementioned MISFET for the 1st drive through the 4th contact hole of the above. The reference voltage line by which the other end is electrically connected with the source field of the aforementioned MISFET for the 2nd drive through the 5th contact hole of the above is formed. The end section

25 is electrically connected with the source field of the aforementioned MISFET for the 2nd load through the 7th contact hole of the above. The supply voltage line by which the other end is electrically connected with the source field of the aforementioned

MISFET for the 1st load through the aforementioned octavus contact hole is formed. The 1st pad layer electrically connected with the drain field of the aforementioned MISFET for the 1st transfer through the 9th contact hole of the above is formed. The process which forms the 2nd pad layer electrically connected with the drain field of the

5    aforementioned MISFET for the 2nd transfer through the 10th contact hole of the above, (e) by \*\*\*\*\*ing, an insulator layer between the 2nd layer deposited on the upper part of the electric conduction film of the 2nd eye of the above. The process which forms the 1st through hole in the upper part of the aforementioned 1st pad layer, and forms the 2nd through hole in the upper part of the aforementioned 2nd pad layer,

10    and the electric conduction film of the 3rd layer deposited on the upper part of an insulator layer between the (f) aforementioned 2nd layer by \*\*\*\*\*ing. The process which forms one side of the complementarity data line electrically connected with the aforementioned 1st pad layer through the 1st through hole of the above, and forms another side of the complementarity data line electrically connected with the

15    aforementioned 2nd pad layer through the 2nd through hole of the above is included.

[0015] according to the above-mentioned means -- the [ MISFET for the 1st drive, and ] -- the [ the 1st gate electrode common to MISFET for 1 loads, and / MISFET for the 2nd drive, and ] -- since the useless space in the memory cell which the minimum value of a space with the 2nd gate electrode common to MISFET for 2 loads is

20    restrained, and produces can be lost, it becomes possible to reduce memory cell size

[0016]

[Embodiments of the Invention] Hereafter, the form of operation of this invention is explained in detail based on a drawing. In addition, what has the same function in the complete diagram for explaining the form of operation attaches the same sign, and

25    explanation of the repeat is omitted.

[0017] (Form 1 of operation) Drawing 1 is the representative circuit schematic showing the memory cell of SRAM of the form of this operation. Like illustration, it is arranged at

the intersection of the complementarity data line (data-line DL, the data line/(bar) DL) of a couple, and a word line WL, and this memory cell MC is the objects MISFETQd1 and Qd2 for the drive of a couple, and the objects MISFETQp1 and Qp2 for the loads of a couple. And for [ MISFETQt1 and Qt2 ] a transfer of a couple It is constituted. For

5 [ MISFETQd1 and Qd2 ] a drive And for [ MISFETQt1 and Qt2 ] a transfer It consists of n channel type MISFET(s), and they are the objects MISFETQp1 and Qp2 for loads. It consists of p-channel type MISFET(s). That is, this memory cell MC consists of perfect CMOS types using four n channel type MISFET(s) and two p-channel type MISFET(s).

[0018] MISFETQd1 for a drive among the six above-mentioned MISFET(s) which

10 constitute a memory cell MC And MISFETQp1 for loads CMOS inverter INV1 It constitutes and is MISFETQd2 for a drive. And MISFETQp2 for loads CMOS inverter INV2 It constitutes. CMOS inverters INV1 and INV2 of these couples Mutual input/output terminals (accumulation nodes A and B) are the partial wiring L1 and L2 of a couple mentioned later. It minds, and cross linking is carried out and the flip-flop

15 circuit as the information storage section which memorizes 1-bit information is constituted. One input/output terminal (accumulation node A) of this flip-flop circuit is MISFETQt1 for a transfer. Connecting with one side of the source and a drain field, the input/output terminal (accumulation node B) of another side is MISFETQt2 for a transfer. It connects with one side of the source and a drain field.

20 [0019] MISFETQt1 for a transfer It connects with the data line DL and another side of the source and a drain field is MISFETQt2 for a transfer. Another side of the source and a drain field is connected to the data line/DL. Moreover, the end (each source field for [ MISFETQp1 and Qp2 ] loads) of a flip-flop circuit is supply voltage (Vcc). Connecting, the other end (each source field for [ MISFETQd1 and Qd2 ] a drive) is

25 reference voltage (Vss). It connects. Supply voltage (Vcc) It is 3V, for example and is reference voltage (Vss). Supply voltage (Vcc) It is low, for example, is 0V (GND).

[0020] When operation of the above-mentioned circuit is explained, it is one CMOS

inverter INV1. When the accumulation node A is high potential ("H"), it is MISFETQd2 for a drive. Since it is turned on, it is CMOS inverter INV2 of another side. The accumulation node B becomes low voltage ("L"). Therefore, MISFETQd1 for a drive It is turned off and the high potential ("H") of the accumulation node A is held. Namely,  
5 CMOS inverters INV1 and INV2 of a couple Information is saved, while the state of the mutual accumulation nodes A and B is held by the latch circuit which carried out cross linking and supply voltage is impressed.

[0021] For [ MISFETQt1 and Qt2 ] a transfer A word line WL is connected to each gate electrode, and they are the objects MISFETQt1 and Qt2 for a transfer by this word line  
10 WL. A flow and un-flowing are controlled. That is, when a word line WL is high potential ("H"), they are the objects MISFETQt1 and Qt2 for a transfer. Since it is turned on and a latch circuit and the complementarity data line (data-line DL, bar DL) are connected electrically, the potential state ("H" or "L") of the accumulation nodes A and B appears in the data lines DL/DL, and is read as information on a memory cell MC.

15 [0022] In order to write information in a memory cell MC, it is "H" about a word line WL. Potential level and for [ MISFETQt1 and Qt2 ] a transfer It turns ON and the information on the data lines DL/DL is transmitted to the accumulation nodes A and B. Moreover, in order to read the information on a memory cell MC, similarly it is "H" about a word line WL. Potential level and for [ MISFETQt1 and Qt2 ] a transfer It turns  
20 ON and the information on the accumulation nodes A and B is transmitted to the data lines DL/DL.

[0023] Next, the concrete composition of the memory cell of the gestalt of this operation is explained using drawing 2 (plan of a semiconductor substrate showing the field for about one memory cell), and drawing 3 (cross section of a semiconductor  
25 substrate which met the III-III' line of drawing 2 ). in addition, the connection which connects to drawing 2 each conductive layers which constitute a memory cell, and these conductive layers — only a hole is shown and the insulator layer or the insulator

layer for isolation which were formed between each conductive layer do not illustrate

[0024] Six MISFET(s) which constitute a memory cell MC are formed in the active regions 5 and 6 which had the circumference surrounded by the field oxide film 2 of the principal plane of the semiconductor substrate 1 which consists of single crystal silicon.

5 The objects MISFETQd1 and Qd2 for a drive and for [ MISFETQt1 and Qt2 ] a transfer For [ which were formed in the active region 5 of a well 3 p molds, and consisted of p-channel types / MISFETQp1 and Qp2 ] loads It is formed in the active region 6 of a well 4 n molds. [ which consisted of n channel types ]

[0025] objects MISFETQt1 and Qt2 for a transfer of a couple mainly -- p type -- the

10 n-type-semiconductor field 7 (a source field --) formed in the active region 5 of a well 3 A drain field, By the gate electrode 9 which consists of an n type polycrystal silicon film (or polycide film which carried out the laminating of a polycrystal silicon film and the refractory-metal silicide film) of the 1st layer formed on the gate oxide film 8 which consists of a silicon-oxide film formed in the front face of an active region 5, and the

15 gate oxide film 8 It is constituted. For [ MISFETQt1 and Qt2 ] a transfer The gate electrode 9 is constituted by the word line WL and one which extend in a line writing direction (the direction of X), and the upper part and side attachment wall are covered by the sidewall spacer 14 which consists of a silicon nitride film 13 and a silicon nitride film.

20 [0026] objects MISFETQd1 and Qd2 for the drive of a couple mainly -- p type -- it is constituted by the gate electrodes 11a and 11b which consist of an n type polycrystal silicon film (or polycide film) of the 1st layer formed on the gate oxide film 8 which consists of a silicon-oxide film formed in the front face of the n-type-semiconductor field 10 (a source field, drain field) formed in the active region 5 of a well 3, and an

25 active region 5, and the gate oxide film 8 For [ MISFETQd1 and Qd2 ] a drive The upper part and the side attachment wall of the gate electrodes 11a and 11b are covered by the sidewall spacer 14 which consists of a silicon nitride film 13 and a silicon nitride film.

Moreover, MISFETQd1 for a drive A drain field (n-type-semiconductor field 10) and MISFETQt1 for a transfer It is formed in the common active region 5, and a source field (n-type-semiconductor field 7) is MISFETQd2 for a drive. A drain field (n-type-semiconductor field 10) and MISFETQt2 for a transfer It is formed in the active  
5 region 5 with a common source field (n-type-semiconductor field 7).

[0027] objects MISFETQp1 and Qp2 for the loads of a couple mainly -- n type -- it is constituted by the gate electrodes 11a and 11b which consist of an n type polycrystal silicon film (or polycide film) of the 1st layer formed on the gate oxide film 8 which consists of a silicon-oxide film formed in the front face of the p type semiconductor  
10 field 12 (a source field, drain field) formed in the active region 6 of a well 4, and an active region 6, and the gate oxide film 8 MISFETQp1 for loads Gate electrode 11a is aforementioned MISFETQd1 for a drive. It is constituted by gate electrode 11a and one, and the upper part and side attachment wall are covered by the sidewall spacer 14 which consists of a silicon nitride film 13 and a silicon nitride film. Similarly, it is  
15 MISFETQp2 for loads. Gate electrode 11b is aforementioned MISFETQd2 for a drive. It is constituted by gate electrode 11b and one, and the upper part and side attachment wall are covered by the sidewall spacer 14 which consists of a silicon nitride film 13 and a silicon nitride film.

[0028] The partial wiring L1 and L2 of a couple which consists of a (Aluminum  
20 aluminum) alloy film through the layer insulation film 15 of the 1st layer which consists of a silicon-oxide film, supply voltage line 16A, reference voltage line 16B, and the pad layers 16C and 16C of a couple are formed in the upper part of the six above-mentioned MISFET(s) which constitute a memory cell MC.

[0029] Partial wiring L1 and L2 of the above-mentioned couple Inside and partial wiring  
25 L2 The end section leads the contact hole 20 formed in the layer insulation film 15, and is MISFETQd2 for a drive. It connects with a drain field (n-type-semiconductor field 10) electrically, and they are MISFETQd1 for a drive, and MISFETQp1 for loads. It connects



with common gate electrode 11a electrically. Moreover, partial wiring L2 The other end leads the contact hole 25 formed in the layer insulation film 15, and is MISFETQp2 for loads. It connects with the drain field (p type semiconductor field 12) electrically. That is, MISFETQd2 for a drive A drain field (the n-type-semiconductor field 10, the accumulation node B), the drain field (p type semiconductor field 12) of MISFETQp2 for loads and MISFETQd1 for a drive, and MISFETQp1 for loads Each of common gate electrode 11a is the partial wiring L2. It minds and connects mutually.

[0030] On the other hand, partial wiring L1 The end section leads the contact hole 21 formed in the layer insulation film 15, and is MISFETQp1 for loads. It connects with a drain field (p type semiconductor field 12) electrically, and they are MISFETQd2 for a drive, and MISFETQp2 for loads. It connects with common gate electrode 11b electrically. Moreover, the other end of the partial wiring L1 leads the contact hole 22 formed in the layer insulation film 15, and is MISFETQd1 for a drive. It connects with the drain field (n-type-semiconductor field 10) electrically. That is, MISFETQd1 for a drive A drain field (the n-type-semiconductor field 10, the accumulation node A) and MISFETQp1 for loads A drain field (p type semiconductor field 12) and MISFETQd2 for a drive, and MISFETQp2 for loads Each of common gate electrode 11b is the partial wiring L1. It minds and connects mutually.

[0031] The above-mentioned partial wiring L1 and L2 Supply voltage line 16A among supply voltage line 16A formed in the same wiring layer, reference voltage line 16B, and the pad layers 16C and 16C The contact hole 27 formed in the layer insulation film 15 is led, and it is MISFETQp1 for loads. It connects with a source field (p type semiconductor field 12) electrically. The contact hole 26 formed in the layer insulation film 15 is led, and it is MISFETQp2 for loads. It connects with the source field (p type semiconductor field 12) electrically. Supply voltage line 16A leads the above-mentioned contact holes 26 and 27, and is the objects MISFETQp1 and Qp2 for loads. The supply voltage (Vcc) of a circuit is supplied to each source field (p type semiconductor field

12).

[0032] Reference voltage line 16B leads the contact hole 23 formed in the layer insulation film 15, and is MISFETQd1 for a drive. It connects with a source field (n-type-semiconductor field 10) electrically, the contact hole 24 formed in the layer insulation film 15 is led, and it is MISFETQd2 for a drive. It connects with the source field (n-type-semiconductor field 10) electrically. Reference voltage line 16B leads the above-mentioned contact holes 23 and 24, and is the objects MISFETQd1 and Qd2 for a drive. It is the reference voltage ( $V_{ss}$ ) of a circuit to each source field (n-type-semiconductor field 10). It supplies.

[0033] One side of the pad layers 16C and 16C of a couple leads the contact hole 28 formed in the layer insulation film 15, and is MISFETQt1 for a transfer. Another side leads the contact hole 29 formed in the layer insulation film 15 by connecting with a drain field (n-type-semiconductor field 7) electrically, and it is MISFETQt2 for a transfer. It connects with the drain field (n-type-semiconductor field 7) electrically.

[0034] The complementarity data line (data-line DL, the data line/DL) of the couple which consists of an aluminum alloy film through the 2nd layer which consists of a silicon-oxide film is formed in the upper part of the above-mentioned partial wiring L1 and L2, supply voltage line 16A, reference voltage line 16B, and the pad layers 16C and 16C. The data lines DL/DL extend in the direction of a train (the direction of Y) which intersects perpendicularly with a line writing direction, and it constitutes the layer insulation film 17 top. It connects with pad layer 16C electrically through the through hole 30 formed in the layer insulation film 17, the aforementioned contact hole 28 is led further, and the data line DL is MISFETQt1 for a transfer. It connects with one side of the source and a drain field (n-type-semiconductor field 7) electrically. Moreover, it connects with pad layer 16C electrically through the through hole 31 formed in the layer insulation film 17, the aforementioned contact hole 29 is led further, and the data line/DL is MISFETQt2 for a transfer. It connects with one side of the source and a

drain field (n-type-semiconductor field 7) electrically.

[0035] The illustration is omitted although the final passivation film which consists of a cascade screen of a silicon-oxide film and a silicon nitride film etc. is formed in the upper part of the above-mentioned complementarity data line (data lines DL/DL).

5 [0036] the inside of the component of the memory cell MC which drawing 4 described above, and p type — the active region 5 of a well 3, and n type — it is the plan of the semiconductor substrate 1 showing each layout of six MISFET(s) formed in the active region 6 of a well 4, and contact holes 20-29

[0037] The field of the rectangle surrounded with the dashed line in drawing shows the  
10 occupancy field for one memory cell MC. By arranging by the repeat pattern as shows this memory cell MC to drawing 5 , a memory cell array as shown in drawing 23 (A) – (C) mentioned later is constituted. Moreover, the alternate long and short dash line shown with the sign (100) in drawing shows the center line of right and left (line writing direction) of this field, and is the distance LM1 of the left-hand side portion of this  
15 center line (100). Distance LM2 of the right-hand side portion of a center line (100) It is constituted so that it may become equal ( $LM1 = LM2$ ). That is, the width of face L of the occupancy field of the memory cell MC in a line writing direction is  $2 \times LM1 = 2 \times LM2 = LM1 + LM2$ . It becomes.

[0038] In the left-hand side portion of the above-mentioned center line (100), they are  
20 MISFETQt1 for a transfer, and MISFETQd1 for a drive. And MISFETQp1 for loads It is arranged and they are MISFETQt2 for a transfer, and MISFETQd2 for a drive in a right-hand side portion. And MISFETQp2 for loads It is arranged.

[0039] the alternate long and short dash line shown with a sign (200) — p type — a well  
3 and n type — the boundary line with a well 4 is shown, four n channel type MISFET(s)  
25 (the objects MISFETQt1 and Qt2 for a transfer and for [ MISFETQd1 and Qd2 ] a drive) are arranged at the top portion of this boundary line (200), and two p-channel type MISFET(s) (for [ MISFETQp1 and Qp2 ] loads) are arranged at the bottom portion

[0040] The alternate long and short dash line shown with a sign (300) The center line of right and left (line writing direction) of four n channel type MISFET(s) (the objects MISFETQt1 and Qt2 for a transfer, and for [ MISFETQd1 and Qd2 ] a drive), Namely, two n channel type MISFET(s) (MISFETQt1 for a transfer, and MISFETQd1 for a drive) arranged at the left-hand side portion of the center line (100) of a memory cell MC and two n channel type MISFET(s) arranged at the right-hand side portion (MISFETQt2 for a transfer) And the center line with MISFETQd2 for a drive is shown.

[0041] It sets to a line writing direction and they are a center line (300) and MISFETQd1 for a drive. Center line Cn1 Distance Ln1 A center line (300) and MISFETQd2 for a drive Center line Cn2 Distance Ln2 It is constituted equally ( $Ln1 = Ln2$ ). Here, they are the objects MISFETQd1 and Qd2 for a drive. A center line Cn1 and Cn2 The imaginary line which extends one half of the parts of channel length in the direction of channel width, respectively is shown. Moreover, it sets to a line writing direction and they are a center line (300) and MISFETQt1 for a transfer. Center line Ct1 Distance Lt1 A center line (300) and MISFETQt2 for a transfer Center line Ct2 Distance Lt2 It is constituted equally ( $Lt1 = Lt2$ ). Here, they are the objects MISFETQt1 and Qt2 for a transfer. A center line Ct1 and Ct2 The imaginary line which extends one half of the parts of channel length in the direction of channel width, respectively is shown.

[0042] The alternate long and short dash line shown with a sign (400) shows the centerline of p-channel type MISFET (MISFETQp1 for loads) arranged at the left-hand side portion of the centerline of right and left (line writing direction) of two p-channel type MISFET(s) (for [ MISFETQp1 and Qp2 ] loads), i.e., the centerline of a memory cell MC, (100), and p-channel type MISFET (MISFETQp2 for loads) arranged at the right-hand side portion.

[0043] It sets to a line writing direction and they are a center line (400) and MISFETQp1 for loads. Center line Cp1 Distance Lp1 A center line (400) and

MISFETQp2 for loads Center line Cp2 Distance Lp2 It is constituted equally ( $Lp1 = Lp2$ ). Here, they are MISFETQp1 for loads, and Qp2. A center line Cp1 and Cp2 The imaginary line which extends one half of the parts of channel length in the direction of channel width, respectively is shown.

5 [0044] As shown in drawing 4 , the memory cell MC of the form of this operation In the line writing direction, the center line (300) of right and left of four n channel type MISFET(s) (the objects MISFETQt1 and Qt2 for a transfer and for [ MISFETQd1 and Qd2 ] a drive) has shifted on the left of the center line (100) of right and left of a memory cell MC. The center line (400) of right and left of p-channel type MISFET (for  
10 [ MISFETQp1 and Qp2 ] loads) has shifted on the right of the center line (100) of right and left of a memory cell MC. That is, in the line writing direction, it is constituted so that a center line (300) and a center line (400) may shift to an opposite side on either side mutually. Moreover, it sets to a line writing direction and is MISFETQp1 for loads. Center line Cp1 MISFETQd1 for a drive Center line Cn1 It is constituted so that it may  
15 become a center line (100) closely, and it is MISFETQd2 for a drive. Center line Cn2 MISFETQp2 for loads Center line Cp2 It is constituted so that it may become a center line (100) closely.

[0045] Moreover, it follows on this and is MISFETQd1 for a drive. Gate electrode 11a is MISFETQp1 for loads constituted by this and one. It has shifted on the left of gate  
20 electrode 11a. Therefore, gate electrode 11a is arranged by pattern by which the whole serves as the abbreviation type for Y characters. Similarly, it is MISFETQp2 for loads. Gate electrode 11b is MISFETQd2 for a drive constituted by this and one. Since it has shifted on the right of gate electrode 11b, it is arranged by pattern by which the whole serves as the abbreviation type for Y characters.

25 [0046] Drawing 6 is the plan of the semiconductor substrate 1 showing the layout of the example of comparison which made the center line of right and left of n channel type MISFET (the objects MISFETQt1 and Qt2 for a transfer, and for [ MISFETQd1 and

Qd2 ] a drive), and the center line of right and left of p-channel type MISFET (for [ MISFETQp1 and Qp2 ] loads) in agreement with the center line (100) of a memory cell MC. That is, it sets to a line writing direction and this example of comparison is the distance LM2 of the right-hand side portion of the distance LM1 = center line (100) of the left-hand side portion of the center line (100) of a memory cell MC, and MISFETQp1 for loads. MISFETQd1 for a center line Cp1 = drive A center line Cn1 and MISFETQp2 for loads MISFETQd2 for a center line Cp2 = drive Center line Cn2 It is constituted so that it may become.

[0047] It is possible to abolish the doubling margin of gate electrode 11a and contact holes 22, 23, and 27 and the doubling margin of gate electrode 11b and contact holes 24, 25, and 26 using the self-adjustment (self aryne) technology mentioned later with the layout of the example of comparison shown in the layout and drawing 6 of a gestalt of this operation which are shown in drawing 4 .

[0048] However, with the layout of the example of comparison shown in drawing 6 , if it does in this way, even if it reduces the space (X) of gate electrode 11a and gate electrode 11b to the lower limit decided by the resolution limit of a photolithography, a useless space (Y, Z) will be generated between gate electrode 11b and a contact hole 20 and between gate electrode 11a and a contact hole 21. when until reduction of the space (Y) of gate electrode 11b and a contact hole 20 and the space (Z) of gate electrode 11a and a contact hole 21 is carried out to some extent, the minimum value of the space (X) of gate electrode 11a and gate electrode 11b is restrained, and it becomes impossible that is, to contract more than it

[0049] On the other hand, the layout of the gestalt of this operation shown in drawing 4 The center line (300) of right and left of n channel type MISFET (the objects MISFETQt1 and Qt2 for a transfer and for [ MISFETQd1 and Qd2 ] a drive) is shifted on the left of the center line (100) of a memory cell MC. It follows on this and is MISFETQd2 for a drive. By shifting gate electrode 11b on left-hand side, the useless

space between gate electrode 11b and a contact hole 20 (Y) can be lost. Moreover, the useless space between gate electrode 11a and a contact hole 21 (Z) can be lost by shifting the center line (400) of right and left of p-channel type MISFET (for [ MISFETQp1 and Qp2 ] loads) on the right of the center line (100) of a memory cell MC, and shifting gate electrode 11a of MISFETQp1 for loads on right-hand side in connection with this similarly. That is, since the useless space in the memory cell MC produced unescapable in the layout of the example of comparison (Y, Z) can be lost according to the layout of the gestalt of this operation, the part and memory cell size equivalent to this space (Y, Z) are reducible.

[0050] Moreover, the layout of the gestalt of this operation is MISFETQd1 for a drive. MISFETQd2 for a drive of the memory cell MC which adjoins a line writing direction The contact hole 24 formed in between is shifted on left-hand side in a line writing direction, and it is MISFETQp2 for loads. MISFETQp1 for loads of the memory cell MC which adjoins a line writing direction The contact hole 27 formed in between was shifted on right-hand side in the line writing direction, and it arranges by the repeat pattern as shows a memory cell MC to drawing 5 . That is, the memory cell MC is arranged by the repeat pattern which carried out the parallel displacement of the memory cell MC in the line writing direction.

[0051] As the layout of the gestalt of this operation is shown in drawing 4 , moreover, the width of face ( $=2 \times LM1 = 2 \times LM2 = LM1 + LM2$ ) of the line writing direction of a memory cell MC MISFETQd1 for a drive MISFETQd2 for a drive of the memory cell MC which adjoins gate electrode 11a and a line writing direction The middle (one half of parts of the interval ( $2 \times Wn$ ) in a line writing direction) imaginary line Cn12 between gate electrode 11b, MISFETQp2 for loads MISFETQp1 for loads of the memory cell MC which adjoins gate electrode 11b and a line writing direction It is constituted so that it may become smaller than the width of face Lc between the middle imaginary lines Cp12 between gate electrode 11a. Thereby, the memory cell size in a line writing direction is

reducible.

[0052] Next, the manufacture method of SRAM of the gestalt this operation constituted as mentioned above is explained using drawing 7 – drawing 17 .

[0053] First, as shown in drawing 7 (plan of a semiconductor substrate showing the field  
5 for about one memory cell), and drawing 8 (cross section of a semiconductor substrate showing the field for about one memory cell), the field oxide film 2 for isolation is formed in the principal plane of the semiconductor substrate 1 which consists of p type single crystal silicon by the LOCOS (selective oxidation) method of the common knowledge which used the silicon nitride film for the mask of thermal oxidation. next, a  
10 photoresist film -- a mask -- carrying out -- a part of semiconductor substrate 1 -- p type impurity (for example, boron (B)) and other parts -- n type impurity (for example, Lynn (P)) -- ion implantation -- carrying out -- p type -- a well 3 and n type -- p type after forming a well 4 -- the active region 5 of a well 3, and n type -- the front face of the active region 6 of a well 4 is oxidized thermally, and the gate oxide film 8 is formed

15 [0054] Next, as shown in drawing 9 and drawing 10 , they are the objects MISFETQt1 and Qt2 for a transfer. The gate electrode 9 (word line WL), MISFETQp1 for loads, and MISFETQd1 for a drive Common gate electrode 11a and common MISFETQp2 for loads, and MISFETQd2 for a drive Common gate electrode 11b is formed. The gate electrode 9 (word line WL) and the gate electrodes 11a and 11b n type polycrystal silicon film (or  
20 polycide film which consists of a cascade screen of n type polycrystal silicon film and a tungsten silicide (WSi) film) which doped n type impurity (for example, Lynn) by the CVD (ChemicalVapor Deposition) method is deposited on the semiconductor substrate 1. Subsequently, after depositing a silicon nitride film 13 on the upper part in CVD, by etching which used the photoresist film as the mask, patterning of a silicon nitride film  
25 13 and the n type polycrystal silicon film (or polycide film) is carried out, and they are formed.

[0055] Next, as shown in drawing 11 , the sidewall spacer 14 is formed in the side



attachment wall of the gate electrode 9 (word line WL) and the gate electrodes 11a and 11b by \*\*\*\*\*ing the silicon nitride film deposited in CVD on the semiconductor substrate 1 in different direction by the RIE (Reactive Ion Etching) method. then, n type -- a well 4 -- a wrap photoresist film -- a mask -- carrying out -- p type -- the

5 n-type-semiconductor field 7 (the source for [ MISFETQt1 and Qt2 ] a transfer, drain field) and the n-type-semiconductor field 10 (the source for [ MISFETQd1 and Qd2 ] a drive, drain field) are formed by carrying out the ion implantation of the n type impurity (Lynn or arsenic (As)) to a well 3 moreover, p type -- a well 3 -- a wrap photoresist film -- a mask -- carrying out -- n type -- the p type semiconductor field 12 (the

10 source for [ MISFETQp1 and Qp2 ] loads, drain field) is formed by carrying out the ion implantation of the p type impurity (boron) to a well 4 In addition, the source of these six MISFET(s) and a drain field are LDD (Lightly Doped Drain) which consists of a semiconductor region of high high impurity concentration, and a semiconductor region of low high impurity concentration. You may make it structure. in this case, the process

15 order which forms the above-mentioned sidewall spacer 14 -- p type -- a well 3 and n type -- the ion implantation of an impurity is performed to a well 4 by a unit of 1 time, respectively

[0056] Six MISFET(s) (the objects MISFETQd1 and Qd2 for a drive, the objects MISFETQt1 and Qt2 for a transfer, and for [ MISFETQp1 and Qp2 ] loads) which

20 constitute a memory cell MC from a process so far are completed.

[0057] Next, as shown in drawing 12 and drawing 13 , after depositing a silicon-oxide film in CVD and forming the layer insulation film 15 on the semiconductor substrate 1, By using a photoresist film as a mask and \*\*\*\*\*ing the layer insulation film 15 and the silicon nitride film (a silicon nitride film 13 and sidewall spacer 14) of the lower

25 part one by one MISFETQd2 for a drive A drain field (n-type-semiconductor field 10) and MISFETQd1 for a drive, MISFETQp1 for loads A contact hole 20 is formed in the upper part of common gate electrode 11a. MISFETQp1 for loads A drain field (p type

semiconductor field 12) and MISFETQd2 for a drive, and MISFETQp2 for loads A contact hole 21 is formed in the upper part of common gate electrode 11b.

[0058] Next, it is MISFETQd1 for a drive by using a photoresist film as a mask and \*\*\*\*\*ing the layer insulation film 15, as shown in drawing 14 and drawing 15 .

5 Contact holes 22 and 23 are formed in the upper part of the source and a drain field (n-type-semiconductor field 10), and it is MISFETQd2 for a drive. A contact hole 24 is formed in the upper part of a source field (n-type-semiconductor field 10). Moreover, it is MISFETQp2 for loads simultaneously at this time. Contact holes 25 and 26 are formed in the upper part of the source and a drain field (p type semiconductor field 12),  
10 and it is MISFETQp1 for loads. A contact hole 27 is formed in the upper part of a source field (p type semiconductor field 12), and they are the objects MISFETQt1 and Qt2 for a transfer. Contact holes 28 and 29 are formed in the upper part of each drain field (n-type-semiconductor field 7).

[0059] In order to prevent removing a silicon nitride film (a silicon nitride film 13 and  
15 sidewall spacer 14), etching for forming the above-mentioned contact holes 22-29 performs a silicon-oxide film (layer insulation film 15) using the gas which \*\*\*\*\*s by the high selection ratio, and forms contact holes 22-29 by self-adjustment (self aryne) to a gate electrode (the gate electrode 9, gate electrodes 11a and 11b). Since the doubling margin of contact holes 22-29 and a gate electrode (the gate electrode 9,  
20 gate electrodes 11a and 11b) becomes unnecessary by this and the interval of contact holes 22-29 and a gate electrode (the gate electrode 9, gate electrodes 11a and 11b) can be reduced, it becomes possible to reduce the part and memory cell size. In addition, after forming the above-mentioned contact holes 22-29, you may form the aforementioned contact holes 20 and 21.

25 [0060] Next, as shown in drawing 16 and drawing 17 , after depositing aluminum alloy film on the upper part of the layer insulation film 15 by the sputtering method, the partial wiring L1 and L2, supply voltage line 16A, reference voltage line 16B, and pad

layer 16C are formed by carrying out patterning of this aluminum alloy film by etching which used the photoresist film as the mask.

[0061] Next, the layer insulation film 17 which consists of a silicon-oxide film by CVD is deposited on the semiconductor substrate 1. After forming through holes 30 and 31 in the layer insulation film 17 of the upper part of pad layer 16C by etching which used the photoresist film as the mask, aluminum alloy film is deposited on the upper part of the layer insulation film 17 by the sputtering method, and the memory cell MC of the gestalt of this operation shown in aforementioned drawing 2 and drawing 3 is completed by carrying out patterning of this aluminum alloy film by etching which used the photoresist film as the mask, and forming the data lines DL/DL.

[0062] (Gestalt 2 of operation) Similarly the plan of a semiconductor substrate in which drawing 18 shows the memory cell of the gestalt of this operation, and drawing 19 are cross sections. The inside of six MISFET(s) which constitute a memory cell MC like the gestalt 1 of the aforementioned implementation as for the memory cell MC of the gestalt of this operation, The center line (300) of right and left of four n channel type MISFET(s) (the objects MISFETQt1 and Qt2 for a transfer and for [ MISFETQd1 and Qd2 ] a drive) has shifted on the left of the center line (100) of right and left of a memory cell MC. The center line (400) of right and left of p-channel type MISFET (for [ MISFETQp1 and Qp2 ] loads) has shifted on the right of the center line (100) of right and left of a memory cell MC.

[0063] Moreover, it follows on this and they are MISFETQd1 for a drive, and MISFETQp1 for loads. Common gate electrode 11a and common MISFETQd2 for a drive, and MISFETQp2 for loads Common gate electrode 11b is arranged by the abbreviation Y character type pattern, respectively. Namely, MISFETQd1 for a drive Gate electrode 11a is MISFETQp1 for loads constituted by this and one. It has shifted on the left of gate electrode 11a, and is MISFETQp2 for loads. Gate electrode 11b is MISFETQd2 for a drive constituted by this and one. It has shifted on the right of gate electrode 11b.

[0064] The active regions 5 and 6 in which six MISFET(s) which constitute a memory cell MC were formed are having the circumference surrounded by the isolation slot 40 formed in the principal plane of the semiconductor substrate 1 unlike the gestalt 1 of the aforementioned implementation. After the isolation slot 40 \*\*\*\*\*s the semiconductor substrate 1 of an isolation field and forms a slot, it deposits the silicon-oxide film 41 in CVD on the semiconductor substrate 1, and forms it by grinding this silicon-oxide film 41 by the CMP (chemical mechanical polish) method, and leaving the interior of a slot. The subsequent memory cell formation process is the same as the gestalt 1 of the aforementioned implementation.

10 [0065] the active regions 5 and 6 which were formed by LOCOS method like the gestalt 1 of the aforementioned implementation according to the gestalt of this operation which separates the active regions 5 and 6 in which six MISFET(s) which constitute a memory cell MC are formed by the above isolation slots 40 — comparing — the edge of active regions 5 and 6 — BAZU beak (bird's beak) the part and p type which are not produced — the active region 5 of a well 3, and n type — a space with the active region 6 of a well 4 is reducible namely, — according to the gestalt of this operation — p type — four n channel type MISFET(s) (the objects MISFETQt1 and Qt2 for a transfer, and for [ MISFETQd1 and Qd2 ] a drive) formed in a well 3, and n types — since the space between two p-channel type MISFET(s) (for [ MISFETQp1 and Qp2 ] loads) formed in a well 4 is reducible, memory cell size is reducible

20 [0066] on the other hand, like the example of comparison shown in aforementioned drawing 6 N channel type MISFET With the layout made in agreement with the center line (100) of a memory cell MC, the center line of right and left (the objects MISFETQt1 and Qt2 for a transfer, and for [ MISFETQd1 and Qd2 ] a drive), and the center line of right and left of p-channel type MISFET (for [ MISFETQp1 and Qp2 ] loads) isolation technology like the gestalt of this operation — using — p type — the active region 5 of a well 3, and n type — when it is going to reduce a space with the active region 6 of a

25

well 4, it is restrained, only until can contract to some extent, and there is no minimum value of the space (X) of gate electrode 11a and gate electrode 11b Therefore, according to the layout of the gestalt of this operation, compared with the layout of the example of comparison, memory cell size can be reduced further.

5 [0067] (Gestalt 3 of operation) For the plan of a semiconductor substrate in which drawing 20 shows the composition of the memory cell of the gestalt of this operation, and drawing 21 (a), the cross section of a semiconductor substrate which met the A-A' line of drawing 20 , and drawing 21 (b) are B-B' of drawing 20 . It is the cross section of a semiconductor substrate which met the line.

10 [0068] Like illustration, the memory cell MC of the gestalt of this operation The inside of six MISFET(s) which constitute a memory cell MC like the gestalten 1 and 2 of the aforementioned implementation, The center line (300) of right and left of four n channel type MISFET(s) (the objects MISFETQt1 and Qt2 for a transfer and for [ MISFETQd1 and Qd2 ] a drive) has shifted on the left of the center line (100) of right and left of a memory cell MC. The center line (400) of right and left of p-channel type MISFET (for  
15 [ MISFETQp1 and Qp2 ] loads) has shifted on the right of the center line (100) of right and left of a memory cell MC.

[0069] Moreover, it follows on this and is MISFETQd1 for a drive. Gate electrode 11a is MISFETQp1 for loads constituted by this and one. It has shifted on the left of gate  
20 electrode 11a, and is MISFETQp2 for loads. Gate electrode 11b is MISFETQd2 for a drive constituted by this and one. It has shifted on the right of gate electrode 11b. Namely, MISFETQd1 for a drive and MISFETQp1 for loads Common gate electrode 11a and common MISFETQd2 for a drive, and MISFETQp2 for loads Common gate electrode 11b is arranged by the abbreviation Y character type pattern.

25 [0070] Partial wiring L1 and L2 of the couple which, on the other hand, carries out cross linking of between the accumulation nodes of the couple of a memory cell MC Unlike the gestalten 1 and 2 of the aforementioned implementation, it is constituted by

the W (tungsten) plug 52 embedded to the interior of contact holes 50 and 51.

[0071] the above-mentioned partial wiring L1 and L2 for forming -- the first same method as the gestalt 1 of the aforementioned implementation -- p type -- a well 3 -- four n channel type MISFET(s) (the objects MISFETQt1 and Qt2 for a transfer, and for  
5 [ MISFETQd1 and Qd2 ] a drive) -- forming -- n type -- two p-channel type MISFET(s) (for [ MISFETQp1 and Qp2 ] loads) are formed in a well 4 At this time, the wrap silicon nitride film 13 and the sidewall spacer 14 of a side attachment wall may constitute the upper part of the gate electrodes 11a and 11b from a silicon-oxide film.

[0072] Next, it is the partial wiring L2 by \*\*\*\*\*ing the gate electrodes 11a and  
10 11b in a part of wrap silicon nitride film 13, as shown in drawing 22 . Partial wiring L1 which is not shown in gate electrode 11b of a field and this drawing which are connected After exposing gate electrode 11a of the field connected, a silicon nitride film 53 is deposited in CVD on the semiconductor substrate 1.

[0073] Next, it is the partial wiring L1 by using a photoresist film as a mask and  
15 \*\*\*\*\*ing the layer insulation film 15, after depositing a silicon-oxide film in CVD and forming the layer insulation film 15 on the semiconductor substrate 1. A contact hole 50 is formed in the layer insulation film 15 of the field to form, and it is the partial wiring L2. Layer insulation film 15 contact hole 51 of the field to form is formed. Moreover, they are the objects MISFETQd1 and Qd2 for a drive simultaneously at this  
20 time. For [ which form contact holes 23 and 24 in the upper part of a source field (n-type-semiconductor field 10), and are not shown in this drawing / MISFETQp1 and Qp2 ] loads Contact holes 27 and 26 are formed in the upper part of a source field (p type semiconductor field 12).

[0074] Even if etching for forming the above-mentioned contact holes 50, 51, 23-27  
25 performs a silicon-oxide film (layer insulation film 15) using the gas which \*\*\*\*\*s by the high selection ratio and it removes completely the silicon-oxide film inside contact holes 50, 51, 23-27 (layer insulation film 15) by over etching, the silicon nitride

film 53 of those partes basilaris ossis occipitalis is made not to be removed.

[0075] Next, as shown in drawing 23 , it \*\*\*\*\*s and the silicon nitride film 53 of the pars basilaris ossis occipitalis of contact holes 50, 51, 23-27 is removed. Then, partial wiring L1 which becomes the interior of a contact hole 50 from the W plug 52 by  
5 depositing W film (not shown) in CVD on the semiconductor substrate 1, and carrying out etchback (or the chemical mechanical grinding method polish) of this W film Partial wiring L2 which forms and becomes the interior of a contact hole 50 from the W plug 52 It forms. Moreover, the W plug 52 is simultaneously formed in the interior of contact holes 23-27 at this time.

10 [0076] Next, aluminum alloy film is deposited on the semiconductor substrate 1 by the sputtering method, and the memory cell MC shown in aforementioned drawing 20 and drawing 21 is obtained by carrying out patterning of this aluminum alloy film by etching which used the photoresist film as the mask, and forming supply voltage line 16A, reference voltage line 16B, and pad layer 16C. In addition, although the front face of the  
15 W plug 52 is also exposed to etching atmosphere in case patterning of the aluminum alloy film is carried out, since aluminum alloy film can fully secure the etch selectivity to W film, there is no possibility that the W plug 52 may be deleted.

[0077] Like the form 1 of the aforementioned implementation, they are the partial wiring L1 and L2. When forming in the same wiring layer as supply voltage line 16A or  
20 reference voltage line 16B, they are the partial wiring L1 and L2. The space with supply voltage line 16A and reference voltage line 16B is unreducible to below the lower limit decided by the resolution limit of a photolithography. On the other hand, partial wiring L1 and L2 According to the form of this operation constituted from a W plug 52, they are the partial wiring L1 and L2. About a space with supply voltage line 16A and  
25 reference voltage line 16B, they are the partial wiring L1 and L2. It is reducible to the lower limit decided by doubling precision with contact holes 50 and 51. Generally, since the lower limit decided by doubling precision is smaller than the lower limit decided by

the resolution limit of a photolithography, according to the form of this operation, it can reduce memory cell size further.

[0078] (Form 4 of operation) Drawing 24 is the plan of a semiconductor substrate showing the composition of the memory cell of the form of this operation.

5 [0079] At the form 3 of the aforementioned implementation, they are the partial wiring L1 and L2. Although constituted from a W plug 52, they are the partial wiring L1 and L2 like the form 1 of the aforementioned implementation with the form of this operation. It forms in the same wiring layer as supply voltage line 16A or reference voltage line 16B. However, partial wiring L1 and L2 They are the partial wiring L1 and L2 so that rate  
10 controlling of the memory cell size may not be carried out by the space with supply voltage line 16A and reference voltage line 16B. Those both ends serve as a pattern reduced to the central twist rather than the edge of contact holes 20, 21, 22, and 25. Contact holes 20, 21, 22, and 25 are the partial wiring L1 and L2. It overlaps in a large area and, thereby, is the partial wiring L1. Partial wiring L2 between contact holes 21  
15 and 22 Flow sufficient among contact holes 20 and 25 is secured.

[0080] moreover, partial wiring L1 and L2 of the form 3 of the aforementioned implementation p type — n type from a well 3 — it is constituted by the W plug 52 embedded at the long and slender contact holes 50 and 51 which extend ranging over a well 4 If such long and slender contact holes 50 and 51 are formed with  
20 photolithography technology, since the width of face of the center section of the contact holes 50 and 51 will become thick compared with both ends, they are the partial wiring L1 and L2. We are anxious about short-circuit of a between. If it is going to form simultaneously the contact holes 23–29 of an abbreviation square, and the long and slender contact holes 50 and 51 when detailed-ization of a memory cell progresses  
25 especially, optimization of exposure conditions will become difficult.

[0081] Since it is close to the configuration of other contact holes 23, 24, 26–29 which the configuration of contact holes 20, 21, 22, and 25 forms simultaneously with the form



of this operation, optimization of exposure conditions is easy.

[0082] (Form 5 of operation) Drawing 25 and drawing 26 are the plans showing the 1st example of the method of arranging the memory cell of this invention within a memory cell array. Drawing 25 shows only the pattern of active regions 5 and 6, the gate electrode 9 (word line WL), and the gate electrodes 11a and 11b among the memory cell patterns shown in drawing 26 .

[0083] Like illustration, in this 1st example, the memory cell MC has been arranged by the same repeat pattern in the longitudinal direction (the extension direction of a word line WL) of drawing, and to lengthwise (the extension direction of the complementarity data lines DL/DL), it arranges so that it may become an axial symmetry to a boundary with the adjoining memory cell MC.

[0084] On the other hand, drawing 27 and drawing 28 are the plans showing the 2nd example of the method of arranging the memory cell of this invention within a memory cell array. Drawing 27 shows only the pattern of active regions 5 and 6, the gate electrode 9 (word line WL), and the gate electrodes 11a and 11b among the memory cell patterns shown in drawing 28 .

[0085] Like illustration, in this 2nd example, a memory cell MC is arranged by the same repeat pattern in the longitudinal direction (the extension direction of a word line WL) of drawing, lengthwise (the extension direction of the complementarity data lines DL/DL) is rotated so that it may become an adjoining memory cell MC and an adjoining point symmetry, and it arranges, and the complementarity data line and active regions 5 and 6 are made to be connected to lengthwise. Therefore, arrangement of the memory cell MC in alignment with lengthwise is the arrangement from which the center of a memory cell MC shifted to right and left (line writing direction) every other cell. Although it becomes complicated arranging [ of a memory cell MC ] this 2nd example compared with the 1st example of the above, the capacity attached to the data line becomes the same by the data line (data-line DL, the data line/DL) on either side, and there is an

advantage of maintaining balance.

[0086] As mentioned above, although invention made by this invention person was concretely explained based on the form of operation, it cannot be overemphasized by this invention that it can change variously in the range which is not limited to the form of the aforementioned implementation and does not deviate from the summary.

[0087]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated by this application is explained briefly.

[0088] According to this invention, by shifting to the one side of right and left, and shifting the center of right and left of two p-channel type MISFET(s) among six MISFET(s) which constitute a memory cell, to the other side of right and left [ center / of right and left of a memory cell ] rather than the center of right and left of the center of right and left of four n channel type MISFET(s) of a memory cell, the useless space in a memory cell can be lost and memory cell size can be reduced.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the representative circuit schematic showing the memory cell of SRAM of this invention.

[Drawing 2] It is the plan showing the memory cell of SRAM which is the gestalt of 1 operation of this invention.

[Drawing 3] It is the cross section of a semiconductor substrate which met the III-III' line of drawing 3 .

[Drawing 4] It is the plan showing the memory cell of SRAM which is the gestalt of 1

operation of this invention.

[Drawing 5] It is the plan showing the repeat pattern of the memory cell array of SRAM which is the gestalt of 1 operation of this invention.

[Drawing 6] It is the plan showing the memory cell of the example of comparison.

- 5 [Drawing 7] It is the plan of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

[Drawing 8] It is the cross section of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

- 10 [Drawing 9] It is the plan of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

[Drawing 10] It is the cross section of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

[Drawing 11] It is the cross section of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

- 15 [Drawing 12] It is the plan of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

[Drawing 13] It is the cross section of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

- 20 [Drawing 14] It is the plan of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

[Drawing 15] It is the cross section of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

[Drawing 16] It is the plan of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

- 25 [Drawing 17] It is the cross section of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of 1 operation of this invention.

[Drawing 18] It is the plan showing the memory cell of SRAM which is the gestalt of

other operations of this invention.

[Drawing 19] It is the cross section showing the memory cell of SRAM which is the gestalt of other operations of this invention.

5 [Drawing 20] It is the plan showing the memory cell of SRAM which is the gestalt of other operations of this invention.

[Drawing 21] For (a), the cross section of a semiconductor substrate which met the A-A' line of drawing 20 , and (b) are B-B' of drawing 20 . It is the cross section of a semiconductor substrate which met the line.

10 [Drawing 22] (a) and (b) are the cross sections of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of other operations of this invention.

[Drawing 23] (a) and (b) are the cross sections of a semiconductor substrate showing the manufacture method of SRAM which is the gestalt of other operations of this invention.

15 [Drawing 24] It is the plan showing the memory cell of SRAM which is the gestalt of other operations of this invention.

[Drawing 25] It is the plan showing the 1st example of the method of arranging the memory cell of this invention within a memory cell array.

20 [Drawing 26] It is the important section plan showing the 1st example of the method of arranging the memory cell of this invention within a memory cell array.

[Drawing 27] It is the plan showing the 2nd example of the method of arranging the memory cell of this invention within a memory cell array.

[Drawing 28] It is the important section plan showing the 2nd example of the method of arranging the memory cell of this invention within a memory cell array.

25 [Description of Notations]

1 Semiconductor Substrate

2 Field Oxide Film

- 3 It is Well P Molds.
- 4 It is Well N Molds.
- 5 Active Region
- 6 Active Region
- 5 7 N-type-Semiconductor Field (Source Field, Drain Field)
- 8 Gate Oxide Film
- 9 Gate Electrode
- 10 N-type-Semiconductor Field (Source Field, Drain Field)
- 11a Gate electrode
- 10 11b Gate electrode
- 12 P Type Semiconductor Field (Source Field, Drain Field)
- 13 Silicon Nitride Film
- 14 Sidewall Spacer
- 15 Layer Insulation Film
- 15 16A Supply voltage line
- 16B Reference voltage line
- 16C Pad layer
- 17 Layer Insulation Film
- 20-29 Contact hole
- 20 30 31 Through hole
- 40 Isolation Slot
- 41 Silicon-Oxide Film
- 50 51 Contact hole
- 52 W Plug (Partial Wiring)
- 25 53 Silicon Nitride Film
- 100 Center Line
- 200 Center Line

300 Center Line  
400 Center Line  
DL Data line  
/DL Data line  
5 INV1 and INV2 CMOS inverter  
L2 Partial wiring  
MC Memory cell  
Qd1 MISFET for a drive  
Qd2 MISFET for a drive  
10 Qp1 MISFET for loads  
Qp2 MISFET for loads  
Qt1 MISFET for a transfer  
Qt2 MISFET for a transfer  
WL Word line

15

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-36542

(P 2 0 0 0 - 3 6 5 4 2 A)

(43) 公開日 平成12年2月2日(2000.2.2)

(51) Int. Cl. <sup>7</sup>  
H01L 21/8244  
27/11

識別記号

F I  
H01L 27/10

381

テマコード (参考)  
5F083

審査請求 未請求 請求項の数15 O L (全24頁)

(21) 出願番号 特願平10-203848

(22) 出願日 平成10年7月17日(1998.7.17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 南 正隆

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

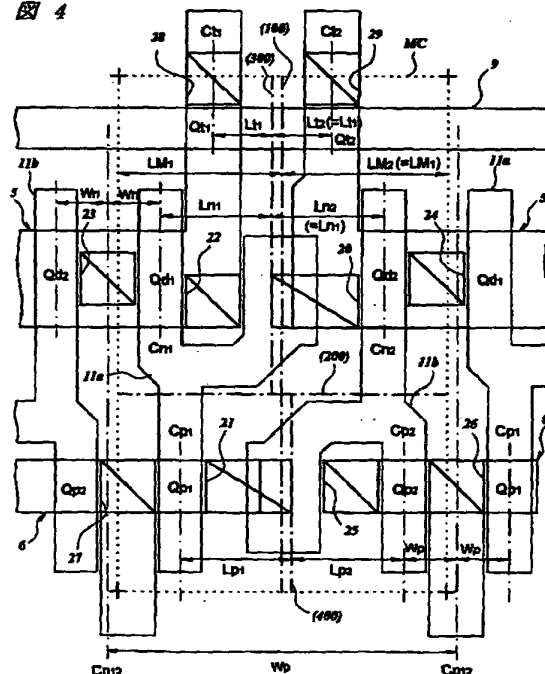
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 完全CMOS型SRAMのメモリセルサイズを縮小する。

【解決手段】 6個のMISFETでメモリセルを構成した完全CMOS型SRAMにおいて、nチャネル型MISFET(転送用MISFET $Q_{t1}$ ,  $Q_{t2}$ ; および駆動用MISFET $Q_{d1}$ ,  $Q_{d2}$ )の左右の中心線(300)をメモリセルMCの左右の中心線(100)よりも左側にずらし、これに伴って駆動用MISFET $Q_{d1}$ のゲート電極11bを左側にずらす。また、pチャネル型MISFET(負荷用MISFET $Q_{p1}$ ,  $Q_{p2}$ )の左右の中心線(400)をメモリセルMCの左右の中心線(400)よりも右側にずらし、これに伴って負荷用MISFET $Q_{p1}$ のゲート電極11aを右側にずらす。

図 4



## 【特許請求の範囲】

【請求項1】 半導体基板の主面に形成された第1、第2駆動用MISFET、第1、第2転送用MISFETおよび第1、第2負荷用MISFETによってメモリセルが構成され、前記第1駆動用MISFET、前記第1転送用MISFETおよび前記第1負荷用MISFETと、前記第2駆動用MISFET、前記第2転送用MISFETおよび前記第2負荷用MISFETとが前記メモリセルの左右の中心線を挟んで対向するように配置されたSRAMを有する半導体集積回路装置であって、前記第1、第2駆動用MISFETの左右の中心線は、前記メモリセルの左右の中心線よりも左右の一方側にずれて位置しており、前記第1、第2負荷用MISFETの左右の中心線は、前記メモリセルの左右の中心線よりも左右の他方側にずれて位置していることを特徴とする半導体集積回路装置。

【請求項2】 半導体基板の主面に形成された第1、第2駆動用MISFET、第1、第2転送用MISFETおよび第1、第2負荷用MISFETによってメモリセルが構成され、前記第1駆動用MISFET、前記第1転送用MISFETおよび前記第1負荷用MISFETと、前記第2駆動用MISFET、前記第2転送用MISFETおよび前記第2負荷用MISFETとが前記メモリセルの左右の中心線を挟んで対向するように配置されたSRAMを有する半導体集積回路装置であって、前記第1負荷用MISFETの中心線は、前記第1駆動用MISFETの中心線よりも前記対向する第2駆動用および第2負荷用MISFET側に近くなるように配置され、前記第2駆動用MISFETの中心線は、前記第2負荷用MISFETの中心線よりも前記対向する第1駆動用および第1負荷用MISFET側に近くなるように配置されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、前記第1駆動用MISFETおよび前記第1負荷用MISFETに共通の第1ゲート電極は、前記第1駆動用MISFETのゲート電極を構成する第1領域、前記第1負荷用MISFETのゲート電極を構成する第2領域および前記第2駆動用MISFETのドレイン領域上に延在する第3領域からなり、前記第2駆動用MISFETおよび前記第2負荷用MISFETに共通の第2ゲート電極は、前記第2駆動用MISFETのゲート電極を構成する第1領域、前記第2負荷用MISFETのゲート電極を構成する第2領域および前記第1負荷用MISFETのドレイン領域上に延在する第3領域からなり、前記第1ゲート電極および前記第2ゲート電極のそれぞれの前記第1領域、前記第2領域および前記第3領域は、略Y字型のパターンでレイアウトされていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置であって、前記第1、第2駆動用MISFET

が形成されたp型ウエルの活性領域と、前記第1、第2負荷用MISFETが形成されたn型ウエルの活性領域とは、前記半導体基板の主面に形成された素子分離溝によって互いに分離されていることを特徴とする半導体集積回路装置。

【請求項5】 請求項1～4のいずれか一項に記載の半導体集積回路装置であって、前記第1駆動用MISFETおよび前記第1負荷用MISFETに共通の第1ゲート電極と、前記第2駆動用MISFETおよび前記第2負荷用MISFETに共通の第2ゲート電極とは、前記半導体基板の主面上に形成された第1層目の導電膜によって構成され、前記第1駆動用MISFETのドレイン領域、前記第1負荷用MISFETのドレイン領域および前記第2ゲート電極を電気的に接続する第1局所配線と、前記第2駆動用MISFETのドレイン領域、前記第2負荷用MISFETのドレイン領域および前記第1ゲート電極を電気的に接続する第2局所配線とは、前記第1層目の導電膜の上部に形成された第2層目の導電膜によって構成され、前記第1局所配線の一端部は、前記第1駆動用MISFETのドレイン領域の上部に形成された第1コンタクトホールの上端部よりも中央側に配置され、他端部は、前記第1負荷用MISFETのドレイン領域の上部および前記第2ゲート電極の上部に跨って形成された第2コンタクトホールの上端部よりも中央側に配置され、前記第2局所配線の一端部は、前記第2駆動用MISFETのドレイン領域の上部および前記第1ゲート電極の上部に跨って形成された第3コンタクトホールの上端部よりも中央側に配置され、前記第2負荷用MISFETのドレイン領域の上部に形成された第4コンタクトホールの上端部よりも中央側に配置されていることを特徴とする半導体集積回路装置。

【請求項6】 請求項1～5のいずれか一項に記載の半導体集積回路装置であって、前記メモリセルの左右の幅は、前記第1駆動用MISFETのゲート電極およびそれに左右方向に隣接するメモリセルの駆動用MISFETのゲート電極の中間位置と、前記第2負荷用MISFETのゲート電極およびそれに左右方向に隣接するメモリセルの負荷用MISFETのゲート電極の中間位置との間の幅よりも小さくなるように構成され、前記メモリセルが左右方向に繰り返しパターンで配置されていることを特徴とする半導体集積回路装置。

【請求項7】 請求項1～6のいずれか一項に記載の半導体集積回路装置であって、前記第1駆動用MISFETおよび前記第1負荷用MISFETに共通の第1ゲート電極と、前記第2駆動用MISFETおよび前記第2負荷用MISFETに共通の第2ゲート電極とは、前記半導体基板の主面上に形成された第1層目の導電膜によって構成され、前記第1駆動用MISFETのドレイン領域、前記第1負荷用MISFETのドレイン領域および前記第2ゲート電極を電気的に接続する第1局所配線



は、一端部が前記第1駆動用MISFETのドレイン領域の上部に延在し、他端部が前記第1負荷用MISFETのドレイン領域の上部および前記第2ゲート電極の上部に跨って延在する第1コンタクトホール内部に形成された第2層目の導電膜によって構成され、前記第2駆動用MISFETのドレイン領域、前記第2負荷用MISFETのドレイン領域および前記第1ゲート電極を電気的に接続する第2局所配線は、一端部が前記第2駆動用MISFETのドレイン領域の上部に延在し、他端部が前記第2負荷用MISFETのドレイン領域の上部および前記第1ゲート電極の上部に跨って延在する第2コンタクトホール内部に形成された第2層目の導電膜によって構成され、前記第1、第2駆動用MISFETのソース領域と電気的に接続された基準電圧線と、前記第1、第2負荷用MISFETのソース領域と電気的に接続された電源電圧線とは、前記第2層目の導電膜の上部に形成された第3層目の導電膜によって構成されていることを特徴とする半導体集積回路装置。

【請求項8】 請求項7記載の半導体集積回路装置であって、前記第2層目の導電膜と前記第3層目の導電膜とは、エッチング速度が互いに異なる異種の導電材料によって構成されていることを特徴とする半導体集積回路装置。

【請求項9】 請求項1～8のいずれか一項に記載の半導体集積回路装置であって、メモリセルアレイ内に配置された複数の前記メモリセルは、ワード線の延在方向には、前記メモリセルのパターンを平行移動した繰り返しパターンで配置され、相補性データ線の延在方向には、隣接するメモリセルとの境界に対して線対称となるように配置されていることを特徴とする半導体集積回路装置。

【請求項10】 請求項1～8のいずれか一項に記載の半導体集積回路装置であって、メモリセルアレイ内に配置された複数の前記メモリセルは、ワード線の延在方向には、前記メモリセルのパターンを平行移動した繰り返しパターンで配置され、相補性データ線の延在方向には、隣接するメモリセルと点対称となるように配置されていることを特徴とする半導体集積回路装置。

【請求項11】 請求項1～10のいずれか一項に記載の半導体集積回路装置であって、前記第1負荷用MISFETと左右方向に隣接するメモリセルの負荷用MISFETとの間に形成されるコンタクトホールは、前記第1駆動用MISFETと左右方向に隣接するメモリセルの駆動用MISFETとの間に形成されるコンタクトホールよりも、前記対向する第2駆動用および第2負荷用MISFET側に近くなるように配置され、前記第2駆動用MISFETと左右方向に隣接するメモリセルの駆動用MISFETとの間に形成されるコンタクトホールは、前記第2負荷用MISFETと左右方向に隣接するメモリセルの負荷用MISFETとの間に形成されるコ

ンタクトホールよりも、前記対向する第1駆動用および第1負荷用MISFET側に近くなるように配置され、前記メモリセルは、左右方向に繰り返しパターンで配置されていることを特徴とする半導体集積回路装置。

【請求項12】 半導体基板の主面のp型ウェルに形成された第1、第2駆動用MISFETおよび第1、第2転送用MISFETからなる4個のnチャネル型MISFETと、前記半導体基板の主面のn型ウェルに形成された第1、第2負荷用MISFETからなる2個のpチャネル型MISFETとによってメモリセルが構成され、前記第1駆動用MISFET、前記第1転送用MISFETおよび前記第1負荷用MISFETと、前記第2駆動用MISFET、前記第2転送用MISFETおよび前記第2負荷用MISFETとが前記メモリセルの左右の中心線を挟んで対向するように配置され、前記4個のnチャネル型MISFETの左右の中心線は、前記メモリセルの左右の中心線よりも左右の一方側に位置し、前記2個のpチャネル型MISFETの左右の中心線は、前記メモリセルの左右の中心線よりも左右の他方側に位置している半導体集積回路装置の製造方法であって、(a)前記半導体基板の主面上に堆積した第1層目の導電膜をエッチングすることによって、前記第1駆動用MISFETおよび前記第1負荷用MISFETに共通の第1ゲート電極と、前記第2駆動用MISFETおよび前記第2負荷用MISFETに共通の第2ゲート電極と、前記第1転送用MISFETおよび前記第2転送用MISFETに共通の第3ゲート電極とを形成する工程、(b)前記第1層目の導電膜の上部に堆積した第1層間絶縁膜をエッチングすることによって、前記第1ゲート電極の上部および前記第2駆動用MISFETのドレイン領域の上部に跨る第1コンタクトホールを形成し、前記第2ゲート電極の上部および前記第1負荷用MISFETのドレイン領域の上部に跨る第2コンタクトホールを形成する工程、(c)前記第1層間絶縁膜をエッチングすることによって、前記第1駆動用MISFETのドレイン領域の上部に第3コンタクトホールを形成し、前記第1駆動用MISFETのソース領域の上部に第4コンタクトホールを形成し、前記第2駆動用MISFETのソース領域の上部に第5コンタクトホールを形成し、前記第2負荷用MISFETのドレイン領域の上部に第6コンタクトホールを形成し、前記第2負荷用MISFETのソース領域の上部に第7コンタクトホールを形成し、前記第1負荷用MISFETのソース領域の上部に第8コンタクトホールを形成し、前記第1転送用MISFETのドレイン領域の上部に第9コンタクトホールを形成し、前記第2転送用MISFETのドレイン領域の上部に第10コンタクトホールを形成する工程、

(d)前記第1層間絶縁膜の上部に堆積した第2層目の導電膜をエッチングすることによって、一端部が前記第3コンタクトホールを通じて前記第1駆動用MISFET

Tのドレイン領域と電氣的に接続され、他端部が前記第2コンタクトホールを通じて前記第2ゲート電極および前記第1負荷用MISFETのドレイン領域と電氣的に接続される第1局所配線を形成し、一端部が前記第1コンタクトホールを通じて前記第1ゲート電極および前記第2駆動用MISFETのドレイン領域と電氣的に接続され、他端部が前記第6コンタクトホールを通じて前記第2負荷用MISFETのドレイン領域と電氣的に接続される第2局所配線を形成し、一端部が前記第4コンタクトホールを通じて前記第1駆動用MISFETのソース領域と電氣的に接続され、他端部が前記第5コンタクトホールを通じて前記第2駆動用MISFETのソース領域と電氣的に接続される基準電圧線を形成し、一端部が前記第7コンタクトホールを通じて前記第2負荷用MISFETのソース領域と電氣的に接続され、他端部が前記第8コンタクトホールを通じて前記第1負荷用MISFETのソース領域と電氣的に接続される電源電圧線を形成し、前記第9コンタクトホールを通じて前記第1転送用MISFETのドレイン領域と電氣的に接続される第1パッド層を形成し、前記第10コンタクトホールを通じて前記第2転送用MISFETのドレイン領域と電氣的に接続される第2パッド層を形成する工程、

(e) 前記第2層目の導電膜の上部に堆積した第2層間絶縁膜をエッチングすることによって、前記第1パッド層の上部に第1スルーホールを形成し、前記第2パッド層の上部に第2スルーホールを形成する工程、(f) 前記第2層間絶縁膜の上部に堆積した第3層目の導電膜をエッチングすることによって、前記第1スルーホールを通じて前記第1パッド層と電氣的に接続される相補性データ線の一方を形成し、前記第2スルーホールを通じて前記第2パッド層と電氣的に接続される前記相補性データ線の他方を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法であって、前記第1および第2コンタクトホールを形成した後、前記第3～第10コンタクトホールを形成するか、または前記第3～第10コンタクトホールを形成した後、前記第1および第2コンタクトホールを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項12記載の半導体集積回路装置の製造方法であって、前記第3コンタクトホール、前記第4コンタクトホールおよび前記第8コンタクトホールを前記第1ゲート電極に対してセルフアラインで形成し、前記第5コンタクトホール、前記第6コンタクトホールおよび前記第7コンタクトホールを前記第2ゲート電極に対してセルフアラインで形成し、前記第9コンタクトホールおよび前記第10コンタクトホールを前記第3ゲート電極に対してセルフアラインで形成することを特徴とする半導体集積回路装置の製造方法。

【請求項15】 半導体基板の主面のp型ウェルに形成された第1、第2駆動用MISFETおよび第1、第2転送用MISFETからなる4個のnチャネル型MISFETと、前記半導体基板の主面のn型ウェルに形成された第1、第2負荷用MISFETからなる2個のpチャネル型MISFETとによってメモリセルが構成され、前記第1駆動用MISFET、前記第1転送用MISFETおよび前記第1負荷用MISFETと、前記第2駆動用MISFET、前記第2転送用MISFETおよび前記第2負荷用MISFETとが前記メモリセルの左右の中心線を挟んで対向するように配置され、前記4個のnチャネル型MISFETの左右の中心線は、前記メモリセルの左右の中心線よりも左右の一方側に位置し、前記2個のpチャネル型MISFETの左右の中心線は、前記メモリセルの左右の中心線よりも左右の他方側に位置している半導体集積回路装置の製造方法であって、(a) 前記半導体基板の主面上に第1層目の導電膜を堆積し、次いで前記第1層目の導電膜の上部に第1絶縁膜を堆積した後、前記第1絶縁膜および前記第1層目の導電膜をパターニングすることによって、前記第1駆動用MISFETおよび前記第1負荷用MISFETに共通の第1ゲート電極と、前記第2駆動用MISFETおよび前記第2負荷用MISFETに共通の第2ゲート電極と、前記第1転送用MISFETおよび前記第2転送用MISFETに共通の第3ゲート電極とを形成する工程、(b) 前記第1ゲート電極の上部の前記第1絶縁膜の一部をエッチングすることによって、前記第1ゲート電極の一部を露出し、前記第2ゲート電極の上部の前記第1絶縁膜の一部をエッチングすることによって、前記第2ゲート電極の一部を露出する工程、(c) 前記半導体基板の主面上に第2絶縁膜を堆積し、次いで前記第2絶縁膜の上部に前記第2絶縁膜とはエッチング速度が異なる第3絶縁膜を堆積した後、前記第2絶縁膜をエッチングのストップに用いて、一端部が前記第1駆動用MISFETのドレイン領域の上部に延在し、他端部が前記第1負荷用MISFETのドレイン領域の上部および前記第2ゲート電極の上部に延在する第1領域、一端部が前記第2駆動用MISFETのドレイン領域の上部に延在し、他端部が前記第2負荷用MISFETのドレイン領域の上部および前記第1ゲート電極の上部に延在する第2領域、前記第1駆動用MISFETのソース領域の上部の第3領域、前記第2駆動用MISFETのソース領域の上部の第4領域、前記第2負荷用MISFETのソース領域の上部の第5領域、前記第1負荷用MISFETのソース領域の上部の第6領域、前記第1転送用MISFETのドレイン領域の上部の第7領域および前記第2転送用MISFETのドレイン領域の上部の第8領域の前記第3絶縁膜をエッチングする工程、(d) 前記第1～第8領域の前記第2絶縁膜をエッチングすることによって、前記第1領域に第1コンタクトホールを形

成し、前記第2領域に第2コンタクトホールを形成し、前記第3領域に第4コンタクトホールを形成し、前記第4領域に第5コンタクトホールを形成し、前記第5領域に第7コンタクトホールを形成し、前記第6領域に第8コンタクトホールを形成し、前記第7領域に第9コンタクトホールを形成し、前記第8領域に第10コンタクトホールを形成する工程、(e)前記半導体基板の主面上に第2層目の導電膜を堆積した後、前記第3絶縁膜の上部の前記第2層目の導電膜を除去して前記第1、第2、第4、第5および第7～第10コンタクトホールの内部に残すことによって、前記第1コンタクトホールの内部に前記第1駆動用MISFETのドレイン領域、前記第1負荷用MISFETのドレイン領域および前記第2ゲート電極を電気的に接続する第1局所配線を形成し、前記第2コンタクトホールの内部に前記第2駆動用MISFETのドレイン領域、前記第2負荷用MISFETのドレイン領域および前記第1ゲート電極を電気的に接続する第2局所配線を形成し、前記第4、第5および第7～第10コンタクトホールの内部にプラグを形成する工程、(f)前記半導体基板の主面上に第3層目の導電膜を堆積した後、前記第3層目の導電膜をエッチングすることによって、一端部が前記第4コンタクトホールを通じて前記第1駆動用MISFETのソース領域と電気的に接続され、他端部が前記第5コンタクトホールを通じて前記第2駆動用MISFETのソース領域と電気的に接続される基準電圧線を形成し、一端部が前記第7コンタクトホールを通じて前記第2負荷用MISFETのソース領域と電気的に接続され、他端部が前記第8コンタクトホールを通じて前記第1負荷用MISFETのソース領域と電気的に接続される電源電圧線を形成し、前記第9コンタクトホールを通じて前記第1転送用MISFETのドレイン領域と電気的に接続される第1パッド層を形成し、前記第10コンタクトホールを通じて前記第2転送用MISFETのドレイン領域と電気的に接続される第2パッド層を形成する工程、(g)前記半導体基板の主面上に堆積した第4絶縁膜をエッチングすることによって、前記第1パッド層の上部に第1スルーホールを形成し、前記第2パッド層の上部に第2スルーホールを形成する工程、(h)前記半導体基板の主面上に堆積した第4層目の導電膜をエッチングすることによって、前記第1スルーホールを通じて前記第1パッド層と電気的に接続される相補性データ線の一方を形成し、前記第2スルーホールを通じて前記第2パッド層と電気的に接続される前記相補性データ線の他方を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、6個のMISFET(Metal Insulator Semiconductor Field Effect Tran

sistor)を使ってメモリセルを構成した完全CMOS(Complementary Metal Oxide Semiconductor)型SRAM(Static Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】パソコンやワークステーション用のキャッシュメモリには、6個のMISFETを使ってメモリセルを構成した完全CMOS型SRAMが主として使用されている。この種の完全CMOS型SRAMについては、例えば特開平9-129753号公報、特開平9-55440号公報、特開平9-36252号公報などに記載がある。

【0003】上記完全CMOS型SRAMは、一对の相補性データ線とワード線との交差部に配置された2個の駆動用MISFET、2個の負荷用MISFETおよび2個の転送用MISFETにより構成されている。駆動用MISFETおよび転送用MISFETはnチャネル型で構成され、負荷用MISFETはpチャネル型で構成されている。

【0004】メモリセルを構成する上記6個のMISFETのうち、第1駆動用MISFETおよび第1負荷用MISFETは、第1CMOSインバータを構成し、第2駆動用MISFETおよび第2負荷用MISFETは、第2CMOSインバータを構成している。これら一对のCMOSインバータの相互の入出力端子(蓄積ノード)は、一对の局所配線を介して交差結合し、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。

【0005】上記フリップフロップ回路の一方の入出力端子は、第1転送用MISFETのソース領域に接続され、他方の入出力端子は、第2転送用MISFETのソース領域に接続されている。第1転送用MISFETのドレイン領域は一对の相補性データ線の一方に接続され、第2転送用MISFETのドレイン領域は相補性データ線の他方に接続されている。第1および第2転送用MISFETのそれぞれのゲート電極にはワード線が接続され、このワード線によって第1および第2転送用MISFETの導通、非導通が制御されるようになっている。

【0006】nチャネル型で構成された第1および第2駆動用MISFETと第1および第2転送用MISFETとはp型ウエルの活性領域に形成され、pチャネル型で構成された第1および第2負荷用MISFETは、n型ウエルの活性領域に形成されている。

【0007】上記第1駆動用MISFETおよび第1負荷用MISFETは、p型ウエルとn型ウエルとに跨って直線状に延在する共通の第1ゲート電極を有しており、この第1ゲート電極の一部には、第2駆動用MISFETのドレイン領域の上部に延在する分岐部が形成されている。同様に、第2駆動用MISFETおよび第2

負荷用MISFETは、p型ウエルとn型ウエルとに跨って直線状に延在する共通の第2ゲート電極を有しており、この第2ゲート電極の一部には、第1負荷用MISFETのドレイン領域の上部に延在する分岐部が形成されている。すなわち、第1および第2ゲート電極のそれぞれは、直線状に延在する部分と分岐部とからなる略T字状のパターンでレイアウトされている。

【0008】

【発明が解決しようとする課題】 キャッシュメモリなどに使用される上記完全CMOS型SRAMは、大容量化および高速化のためにメモリセルサイズの微細化が要求されている。

【0009】 しかし、従来のメモリセルのレイアウトは、セルフアラインコンタクト技術やトレンチアイソレーション技術などを使ってメモリセルサイズを縮小しようとしても、前述した第1駆動用MISFETおよび第1負荷用MISFETに共通の第1ゲート電極と、第2駆動用MISFETおよび第2負荷用MISFETに共通の第2ゲート電極とのスペースの最小値（フォトリソグラフィの解像限界で決まる最小寸法）が制約となり、メモリセルサイズをある程度までしか縮小することができないという問題がある。

【0010】 本発明の目的は、完全CMOS型SRAMのメモリセルサイズを縮小することのできる技術を提供することにある。

【0011】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を説明すれば、以下の通りである。

【0013】 (1) 本発明の半導体集積回路装置は、半導体基板の主面に形成された第1、第2駆動用MISFET、第1、第2転送用MISFETおよび第1、第2負荷用MISFETによってメモリセルが構成され、前記第1駆動用MISFET、前記第1転送用MISFETおよび前記第1負荷用MISFETと、前記第2駆動用MISFET、前記第2転送用MISFETおよび前記第2負荷用MISFETとが前記メモリセルの左右の中心線を挟んで対向するように配置されたSRAMを有し、前記第1、第2駆動用MISFETの左右の中心線は、前記メモリセルの左右の中心線よりも左右の一方側にずれて位置しており、前記第1、第2負荷用MISFETの左右の中心線は、前記メモリセルの左右の中心線よりも左右の他方側にずれて位置している。

【0014】 (2) 本発明の半導体集積回路装置の製造方法は、前記(1)の半導体集積回路装置の製造方法であって、(a) 半導体基板の主面上に堆積した第1層目の導電膜をエッチングすることによって、前記第1駆動

用MISFETおよび前記第1負荷用MISFETに共通の第1ゲート電極と、前記第2駆動用MISFETおよび前記第2負荷用MISFETに共通の第2ゲート電極と、前記第1転送用MISFETおよび前記第2転送用MISFETに共通の第3ゲート電極とを形成する工程、(b) 前記第1層目の導電膜の上部に堆積した第1層間絶縁膜をエッチングすることによって、前記第1ゲート電極の上部および前記第2駆動用MISFETのドレイン領域の上部に跨る第1コンタクトホールを形成し、前記第2ゲート電極の上部および前記第1負荷用MISFETのドレイン領域の上部に跨る第2コンタクトホールを形成する工程、(c) 前記第1層間絶縁膜をエッチングすることによって、前記第1駆動用MISFETのドレイン領域の上部に第3コンタクトホールを形成し、前記第1駆動用MISFETのソース領域の上部に第4コンタクトホールを形成し、前記第2駆動用MISFETのソース領域の上部に第5コンタクトホールを形成し、前記第2負荷用MISFETのドレイン領域の上部に第6コンタクトホールを形成し、前記第2負荷用MISFETのソース領域の上部に第7コンタクトホールを形成し、前記第1負荷用MISFETのソース領域の上部に第8コンタクトホールを形成し、前記第1転送用MISFETのドレイン領域の上部に第9コンタクトホールを形成し、前記第2転送用MISFETのドレイン領域の上部に第10コンタクトホールを形成する工程、

(d) 前記第1層間絶縁膜の上部に堆積した第2層目の導電膜をエッチングすることによって、一端部が前記第3コンタクトホールを通じて前記第1駆動用MISFETのドレイン領域と電気的に接続され、他端部が前記第2コンタクトホールを通じて前記第2ゲート電極および前記第1負荷用MISFETのドレイン領域と電気的に接続される第1局所配線を形成し、一端部が前記第1コンタクトホールを通じて前記第1ゲート電極および前記第2駆動用MISFETのドレイン領域と電気的に接続され、他端部が前記第6コンタクトホールを通じて前記第2負荷用MISFETのドレイン領域と電気的に接続される第2局所配線を形成し、一端部が前記第4コンタクトホールを通じて前記第1駆動用MISFETのソース領域と電気的に接続され、他端部が前記第5コンタクトホールを通じて前記第2駆動用MISFETのソース領域と電気的に接続される基準電圧線を形成し、一端部が前記第7コンタクトホールを通じて前記第2負荷用MISFETのソース領域と電気的に接続され、他端部が前記第8コンタクトホールを通じて前記第1負荷用MISFETのソース領域と電気的に接続される電源電圧線を形成し、前記第9コンタクトホールを通じて前記第1転送用MISFETのドレイン領域と電気的に接続される第1パッド層を形成し、前記第10コンタクトホールを通じて前記第2転送用MISFETのドレイン領域と電気的に接続される第2パッド層を形成する工程、

(e) 前記第2目の導電膜の上部に堆積した第2層間絶縁膜をエッチングすることによって、前記第1パッド層の上部に第1スルーホールを形成し、前記第2パッド層の上部に第2スルーホールを形成する工程、(f) 前記第2層間絶縁膜の上部に堆積した第3層目の導電膜をエッチングすることによって、前記第1スルーホールを通じて前記第1パッド層と電氣的に接続される相補性データ線の一方を形成し、前記第2スルーホールを通じて前記第2パッド層と電氣的に接続される相補性データ線の他方を形成する工程、を含んでいる。

【0015】上記した手段によれば、第1駆動用MISFETおよび第1負荷用MISFETに共通の第1ゲート電極と、第2駆動用MISFETおよび第2負荷用MISFETに共通の第2ゲート電極とのスペースの最小値が制約となつて生じるメモリセル内の無駄なスペースを無くすることができるので、メモリセルサイズを縮小することが可能となる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

【0017】(実施の形態1) 図1は、本実施の形態のSRAMのメモリセルを示す等価回路図である。図示のように、このメモリセルMCは、一対の相補性データ線(データ線DL、データ線/ $\overline{\text{DL}}$ )とワード線WLとの交差部に配置され、一対の駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ 、一対の負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ 、および一対の転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ により構成されている。駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ 、および転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ はnチャネル型MISFETで構成され、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ はpチャネル型MISFETで構成されている。すなわち、このメモリセルMCは、4個のnチャネル型MISFETと2個のpチャネル型MISFETとを使った完全CMOS型で構成されている。

【0018】メモリセルMCを構成する上記6個のMISFETのうち、駆動用MISFET $Q_{d1}$ 、および負荷用MISFET $Q_{p1}$ は、CMOSインバータ $INV_1$ を構成し、駆動用MISFET $Q_{d2}$ 、および負荷用MISFET $Q_{p2}$ は、CMOSインバータ $INV_2$ を構成している。これら一対のCMOSインバータ $INV_1$ 、 $INV_2$ の相互の入出力端子(蓄積ノードA、B)は、後述する一対の局所配線 $L_1$ 、 $L_2$ を介して交差結合し、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。このフリップフロップ回路の一方の入出力端子(蓄積ノードA)は、転送用MISFET $Q_{t1}$ のソース、ドレイン領域の一方に接続され、他方の入出力端子(蓄積ノードB)は、転送用MISFET $Q_{t2}$ のソース、ドレイン領域の一方に接続さ

れている。

【0019】転送用MISFET $Q_{t1}$ のソース、ドレイン領域の他方はデータ線DLに接続され、転送用MISFET $Q_{t2}$ のソース、ドレイン領域の他方はデータ線/ $\overline{\text{DL}}$ に接続されている。また、フリップフロップ回路の一端(負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ の各ソース領域)は電源電圧( $V_{cc}$ )に接続され、他端(駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ の各ソース領域)は基準電圧( $V_{ss}$ )に接続されている。電源電圧( $V_{cc}$ )は例えば3Vであり、基準電圧( $V_{ss}$ )は電源電圧( $V_{cc}$ )よりも低く、例えば0V(GND)である。

【0020】上記回路の動作を説明すると、一方のCMOSインバータ $INV_1$ の蓄積ノードAが高電位("H")であるときには、駆動用MISFET $Q_{d2}$ がONになるので、他方のCMOSインバータ $INV_2$ の蓄積ノードBが低電位("L")になる。従つて、駆動用MISFET $Q_{d1}$ がOFFになり、蓄積ノードAの高電位("H")が保持される。すなわち、一対のCMOSインバータ $INV_1$ 、 $INV_2$ を交差結合させたラッチ回路によって相互の蓄積ノードA、Bの状態が保持され、電源電圧が印加されている間、情報が保存される。

【0021】転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のそれぞれのゲート電極にはワード線WLが接続され、このワード線WLによって転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ の導通、非導通が制御される。すなわち、ワード線WLが高電位("H")であるときには、転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ がONになり、ラッチ回路と相補性データ線(データ線DL、 $\overline{\text{DL}}$ )とが電氣的に接続されるので、蓄積ノードA、Bの電位状態("H"または"L")がデータ線DL、/ $\overline{\text{DL}}$ に現れ、メモリセルMCの情報として読み出される。

【0022】メモリセルMCに情報を書き込むには、ワード線WLを"H"電位レベル、転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ をON状態にしてデータ線DL、/ $\overline{\text{DL}}$ の情報を蓄積ノードA、Bに伝達する。また、メモリセルMCの情報を読み出すには、同じくワード線WLを"H"電位レベル、転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ をON状態にして蓄積ノードA、Bの情報をデータ線DL、/ $\overline{\text{DL}}$ に伝達する。

【0023】次に、本実施の形態のメモリセルの具体的な構成を図2(メモリセル約1個分の領域を示す半導体基板の平面図)および図3(図2のIII-III'線に沿った半導体基板の断面図)を用いて説明する。なお、図2には、メモリセルを構成する各導電層とこれらの導電層を接続する接続孔のみを示し、各導電層間に形成された絶縁膜や素子分離用絶縁膜は図示しない。

【0024】メモリセルMCを構成する6個のMISFETは、例えば単結晶シリコンからなる半導体基板1の主面のフィールド酸化膜2で周囲を囲まれた活性領域

5、6に形成されている。nチャネル型で構成された駆動用MISFETQ<sub>d1</sub>、Q<sub>d2</sub>および転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub>は、p型ウエル3の活性領域5に形成され、pチャネル型で構成された負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>は、n型ウエル4の活性領域6に形成されている。

【0025】一対の転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub>は、主としてp型ウエル3の活性領域5に形成されたn型半導体領域7（ソース領域、ドレイン領域）、活性領域5の表面に形成された酸化シリコン膜からなるゲート酸化膜8およびゲート酸化膜8上に形成された第1層目のn型多結晶シリコン膜（または多結晶シリコン膜と高融点金属シリサイド膜とを積層したポリサイド膜）からなるゲート電極9により構成されている。転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub>のゲート電極9は、行方向（X方向）に延在するワード線WLと一体に構成されており、その上部および側壁は、窒化シリコン膜13および窒化シリコン膜からなるサイドウォールスペーサ14によって覆われている。

【0026】一対の駆動用MISFETQ<sub>d1</sub>、Q<sub>d2</sub>は、主としてp型ウエル3の活性領域5に形成されたn型半導体領域10（ソース領域、ドレイン領域）、活性領域5の表面に形成された酸化シリコン膜からなるゲート酸化膜8およびゲート酸化膜8上に形成された第1層目のn型多結晶シリコン膜（またはポリサイド膜）からなるゲート電極11a、11bにより構成されている。駆動用MISFETQ<sub>d1</sub>、Q<sub>d2</sub>のゲート電極11a、11bの上部および側壁は、窒化シリコン膜13および窒化シリコン膜からなるサイドウォールスペーサ14によって覆われている。また、駆動用MISFETQ<sub>d1</sub>のドレイン領域（n型半導体領域10）と転送用MISFETQ<sub>t1</sub>のソース領域（n型半導体領域7）とは、共通の活性領域5に形成され、駆動用MISFETQ<sub>d2</sub>のドレイン領域（n型半導体領域10）と転送用MISFETQ<sub>t2</sub>のソース領域（n型半導体領域7）とは、共通の活性領域5に形成されている。

【0027】一対の負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>は、主としてn型ウエル4の活性領域6に形成されたp型半導体領域12（ソース領域、ドレイン領域）、活性領域6の表面に形成された酸化シリコン膜からなるゲート酸化膜8およびゲート酸化膜8上に形成された第1層目のn型多結晶シリコン膜（またはポリサイド膜）からなるゲート電極11a、11bにより構成されている。負荷用MISFETQ<sub>p1</sub>のゲート電極11aは、前記駆動用MISFETQ<sub>d1</sub>のゲート電極11aと一体に構成され、その上部および側壁は、窒化シリコン膜13および窒化シリコン膜からなるサイドウォールスペーサ14によって覆われている。同様に、負荷用MISFETQ<sub>p2</sub>のゲート電極11bは、前記駆動用MISFETQ<sub>d2</sub>のゲート電極11bと一体に構成され、そ

の上部および側壁は、窒化シリコン膜13および窒化シリコン膜からなるサイドウォールスペーサ14によって覆われている。

【0028】メモリセルMCを構成する上記6個のMISFETの上部には、酸化シリコン膜からなる第1層目の層間絶縁膜15を介してアルミニウム（Al）合金膜からなる一対の局所配線L<sub>1</sub>、L<sub>2</sub>、電源電圧線16A、基準電圧線16Bおよび一対のパッド層16C、16Cが形成されている。

【0029】上記一対の局所配線L<sub>1</sub>、L<sub>2</sub>のうち、局所配線L<sub>1</sub>の一端部は、層間絶縁膜15に形成されたコンタクトホール20を通じて駆動用MISFETQ<sub>d2</sub>のドレイン領域（n型半導体領域10）と電気的に接続され、かつ駆動用MISFETQ<sub>d1</sub>、負荷用MISFETQ<sub>p1</sub>に共通のゲート電極11aと電気的に接続されている。また、局所配線L<sub>2</sub>の他端部は、層間絶縁膜15に形成されたコンタクトホール25を通じて負荷用MISFETQ<sub>p2</sub>のドレイン領域（p型半導体領域12）と電気的に接続されている。つまり、駆動用MISFETQ<sub>d1</sub>のドレイン領域（n型半導体領域10、蓄積ノードB）、負荷用MISFETQ<sub>p2</sub>のドレイン領域（p型半導体領域12）および駆動用MISFETQ<sub>d2</sub>、負荷用MISFETQ<sub>p1</sub>に共通のゲート電極11aのそれぞれは、局所配線L<sub>1</sub>を介して互いに接続されている。

【0030】他方、局所配線L<sub>2</sub>の一端部は、層間絶縁膜15に形成されたコンタクトホール21を通じて負荷用MISFETQ<sub>p1</sub>のドレイン領域（p型半導体領域12）と電気的に接続され、かつ駆動用MISFETQ<sub>d2</sub>、負荷用MISFETQ<sub>p2</sub>に共通のゲート電極11bと電気的に接続されている。また、局所配線L<sub>1</sub>の他端部は、層間絶縁膜15に形成されたコンタクトホール22を通じて駆動用MISFETQ<sub>d1</sub>のドレイン領域（n型半導体領域10）と電気的に接続されている。つまり、駆動用MISFETQ<sub>d1</sub>のドレイン領域（n型半導体領域10、蓄積ノードA）、負荷用MISFETQ<sub>p1</sub>のドレイン領域（p型半導体領域12）および駆動用MISFETQ<sub>d2</sub>、負荷用MISFETQ<sub>p2</sub>に共通のゲート電極11bのそれぞれは、局所配線L<sub>2</sub>を介して互いに接続されている。

【0031】上記局所配線L<sub>1</sub>、L<sub>2</sub>と同じ配線層に形成された電源電圧線16A、基準電圧線16Bおよびパッド層16C、16Cのうち、電源電圧線16Aは、層間絶縁膜15に形成されたコンタクトホール27を通じて負荷用MISFETQ<sub>p1</sub>のソース領域（p型半導体領域12）と電気的に接続され、層間絶縁膜15に形成されたコンタクトホール26を通じて負荷用MISFETQ<sub>p2</sub>のソース領域（p型半導体領域12）と電気的に接続されている。電源電圧線16Aは、上記コンタクトホール26、27を通じて負荷用MISFETQ<sub>p1</sub>、Q

p、の各ソース領域（p型半導体領域12）に回路の電源電圧（Vcc）を供給する。

【0032】基準電圧線16Bは、層間絶縁膜15に形成されたコンタクトホール23を通じて駆動用MISFETQd、のソース領域（n型半導体領域10）と電気的に接続され、層間絶縁膜15に形成されたコンタクトホール24を通じて駆動用MISFETQd、のソース領域（n型半導体領域10）と電気的に接続されている。基準電圧線16Bは、上記コンタクトホール23、24を通じて駆動用MISFETQd、Qd、の各ソース領域（n型半導体領域10）に回路の基準電圧（Vss）を供給する。

【0033】一对のパッド層16C、16Cの一方は、層間絶縁膜15に形成されたコンタクトホール28を通じて転送用MISFETQt、のドレイン領域（n型半導体領域7）と電気的に接続され、他方は、層間絶縁膜15に形成されたコンタクトホール29を通じて転送用MISFETQt、のドレイン領域（n型半導体領域7）と電気的に接続されている。

【0034】上記局所配線L、L、電源電圧線16A、基準電圧線16Bおよびパッド層16C、16Cの上部には、酸化シリコン膜からなる第2層目のを介してA1合金膜からなる一对の相補性データ線（データ線DL、データ線/DL）が形成されている。データ線DL、/DLは、層間絶縁膜17上を行方向に直交する列方向（Y方向）に延在して構成される。データ線DLは、層間絶縁膜17に形成されたスルーホール30を通じてパッド層16Cと電気的に接続され、さらに前記コンタクトホール28を通じて転送用MISFETQt、のソース、ドレイン領域（n型半導体領域7）の一方と電気的に接続されている。また、データ線/DLは、層間絶縁膜17に形成されたスルーホール31を通じてパッド層16Cと電気的に接続され、さらに前記コンタクトホール29を通じて転送用MISFETQt、のソース、ドレイン領域（n型半導体領域7）の一方と電気的に接続されている。

【0035】上記相補性データ線（データ線DL、/DL）の上部には、酸化シリコン膜と窒化シリコン膜との積層膜などからなるファイナルパッシベーション膜が形成されているが、その図示は省略する。

【0036】図4は、上記したメモリセルMCの構成部分のうち、p型ウエル3の活性領域5とn型ウエル4の活性領域6とに形成された6個のMISFETおよびコンタクトホール20～29の各レイアウトを示す半導体基板1の平面図である。

【0037】図中の破線で囲まれた矩形の領域は、メモリセルMC1個分の占有領域を示している。このメモリセルMCを図5に示すような繰り返しパターンで配置することにより、後述する図23（A）～（C）に示すようなメモリセルアレイが構成される。また、図中の符号

（100）で示す一点鎖線は、この領域の左右（行方向）の中心線を示しており、この中心線（100）の左側部分の距離LM、は、中心線（100）の右側部分の距離LM、に等しくなるように構成されている（LM、=LM、）。すなわち、行方向におけるメモリセルMCの占有領域の幅Lは、 $2 \times LM、 = 2 \times LM、 = LM、 + LM、$ となる。

【0038】上記中心線（100）の左側部分には、転送用MISFETQt、駆動用MISFETQd、および負荷用MISFETQp、が配置され、右側部分には転送用MISFETQt、駆動用MISFETQd、および負荷用MISFETQp、が配置されている。

【0039】符号（200）で示す一点鎖線は、p型ウエル3とn型ウエル4との境界線を示しており、この境界線（200）の上側部分に4個のnチャネル型MISFET（転送用MISFETQt、Qt、および駆動用MISFETQd、Qd、）が配置され、下側部分に2個のpチャネル型MISFET（負荷用MISFETQp、Qp、）が配置されている。

【0040】符号（300）で示す一点鎖線は、4個のnチャネル型MISFET（転送用MISFETQt、Qt、および駆動用MISFETQd、Qd、）の左右（行方向）の中心線、すなわちメモリセルMCの中心線（100）の左側部分に配置された2個のnチャネル型MISFET（転送用MISFETQt、および駆動用MISFETQd、）と右側部分に配置された2個のnチャネル型MISFET（転送用MISFETQt、および駆動用MISFETQd、）との中心線を示している。

【0041】行方向において、中心線（300）と駆動用MISFETQd、の中心線Cn、との距離Ln、は、中心線（300）と駆動用MISFETQd、の中心線Cn、との距離Ln、に等しく構成されている（Ln、=Ln、）。ここで、駆動用MISFETQd、Qd、の中心線Cn、Cn、は、それぞれチャネル長の1/2の個所をチャネル幅方向に延在する仮想線を示している。また、行方向において、中心線（300）と転送用MISFETQt、の中心線Ct、との距離Lt、は、中心線（300）と転送用MISFETQt、の中心線Ct、との距離Lt、に等しく構成されている（Lt、=Lt、）。ここで、転送用MISFETQt、Qt、の中心線Ct、Ct、は、それぞれチャネル長の1/2の個所をチャネル幅方向に延在する仮想線を示している。

【0042】符号（400）で示す一点鎖線は、2個のpチャネル型MISFET（負荷用MISFETQp、Qp、）の左右（行方向）の中心線、すなわちメモリセルMCの中心線（100）の左側部分に配置されたpチャネル型MISFET（負荷用MISFETQp、）と右側部分に配置されたpチャネル型MISFET（負荷



用MISFET $Q_{p1}$  ) との中心線を示している。

【0043】行方向において、中心線(400)と負荷用MISFET $Q_{p1}$ の中心線 $C_{p1}$ との距離 $L_p$ は、中心線(400)と負荷用MISFET $Q_{p2}$ の中心線 $C_{p2}$ との距離 $L_{p2}$ に等しく構成されている( $L_{p1} = L_{p2}$ )。ここで、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ の中心線 $C_{p1}$ 、 $C_{p2}$ は、それぞれチャンネル長の1/2の個所をチャンネル幅方向に延在する仮想線を示している。

【0044】図4に示すように、本実施の形態のメモリセルMCは、行方向において、4個のnチャンネル型MISFET(転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ 、および駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ )の左右の中心線(300)がメモリセルMCの左右の中心線(100)よりも左側にずれており、pチャンネル型MISFET(負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ )の左右の中心線(400)がメモリセルMCの左右の中心線(100)よりも右側にずれている。すなわち、行方向において、中心線(300)と中心線(400)とが互いに左右の反対側にずれるように構成されている。また、行方向において、負荷用MISFET $Q_{p1}$ の中心線 $C_{p1}$ は、駆動用MISFET $Q_{d1}$ の中心線 $C_{n1}$ よりも中心線(100)に近くなるように構成され、駆動用MISFET $Q_{d2}$ の中心線 $C_{n2}$ は、負荷用MISFET $Q_{p2}$ の中心線 $C_{p2}$ よりも中心線(100)に近くなるように構成されている。

【0045】またこれに伴って、駆動用MISFET $Q_{d1}$ のゲート電極11aは、これと一体に構成された負荷用MISFET $Q_{p1}$ のゲート電極11aよりも左側にずれている。そのため、ゲート電極11aは、全体が略Y字型となるようなパターンでレイアウトされている。同様に、負荷用MISFET $Q_{p2}$ のゲート電極11bは、これと一体に構成された駆動用MISFET $Q_{d2}$ のゲート電極11bよりも右側にずれているため、全体が略Y字型となるようなパターンでレイアウトされている。

【0046】図6は、nチャンネル型MISFET(転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ 、および駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ )の左右の中心線およびpチャンネル型MISFET(負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ )の左右の中心線をメモリセルMCの中心線(100)と一致させた比較例のレイアウトを示す半導体基板1の平面図である。すなわちこの比較例は、行方向において、メモリセルMCの中心線(100)の左側部分の距離 $L_{M1}$ =中心線(100)の右側部分の距離 $L_{M2}$ 、負荷用MISFET $Q_{p1}$ の中心線 $C_{p1}$ =駆動用MISFET $Q_{d1}$ の中心線 $C_{n1}$ 、負荷用MISFET $Q_{p2}$ の中心線 $C_{p2}$ =駆動用MISFET $Q_{d2}$ の中心線 $C_{n2}$ となるように構成されている。

【0047】図4に示す本実施の形態のレイアウトおよ

び図6に示す比較例のレイアウトでは、後述する自己整合(セルフアライン)技術を用いてゲート電極11aとコンタクトホール22、23、27との合わせ余裕、およびゲート電極11bとコンタクトホール24、25、26との合わせ余裕を無くすることが可能である。

【0048】しかし、このようにすると、図6に示す比較例のレイアウトでは、ゲート電極11aとゲート電極11bとのスペース(X)をフォトリソグラフィの解像限界で決まる最小寸法まで縮小しても、ゲート電極11bとコンタクトホール20との間およびゲート電極11aとコンタクトホール21との間に無駄なスペース(Y、Z)が生じてしまう。すなわち、ゲート電極11bとコンタクトホール20とのスペース(Y)およびゲート電極11aとコンタクトホール21とのスペース(Z)をある程度まで縮小すると、ゲート電極11aとゲート電極11bとのスペース(X)の最小値が制約となって、それ以上縮小することができなくなる。

【0049】これに対し、図4に示す本実施の形態のレイアウトは、nチャンネル型MISFET(転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ 、および駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ )の左右の中心線(300)をメモリセルMCの中心線(100)よりも左側にずらし、これに伴って駆動用MISFET $Q_{d2}$ のゲート電極11bを左側にずらすことにより、ゲート電極11bとコンタクトホール20との間の無駄なスペース(Y)を無くすることができる。また同様に、pチャンネル型MISFET(負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ )の左右の中心線(400)をメモリセルMCの中心線(100)よりも右側にずらし、これに伴って負荷用MISFET $Q_{p1}$ のゲート電極11aを右側にずらすことにより、ゲート電極11aとコンタクトホール21との間の無駄なスペース(Z)を無くすることができる。すなわち、本実施の形態のレイアウトによれば、比較例のレイアウトにおいては不可避免的に生じるメモリセルMC内の無駄なスペース(Y、Z)を無くすることができるので、このスペース(Y、Z)に相当する分、メモリセルサイズを縮小することができる。

【0050】また、本実施の形態のレイアウトは、駆動用MISFET $Q_{d1}$ と行方向に隣接するメモリセルMCの駆動用MISFET $Q_{d2}$ との間に形成されるコンタクトホール24を行方向において左側にずらし、負荷用MISFET $Q_{p1}$ と行方向に隣接するメモリセルMCの負荷用MISFET $Q_{p2}$ との間に形成されるコンタクトホール27を行方向において右側にずらして、メモリセルMCを図5に示すような繰り返しパターンで配置している。すなわち、メモリセルMCは、行方向においてメモリセルMCを平行移動した繰り返しパターンで配置されている。

【0051】また、本実施の形態のレイアウトは、図4に示すように、メモリセルMCの行方向の幅( $=2 \times L$



$M_1 = 2 \times LM_1 = LM_1 + LM_1$  ) が、駆動用MISFET  $Q_{d1}$  のゲート電極11aと行方向に隣接するメモリセルMCの駆動用MISFET  $Q_{d2}$  のゲート電極11bとの間の中間(行方向における間隔( $2 \times W_n$ )の1/2の個所)の仮想線  $C_{n1}$  と、負荷用MISFET  $Q_{p1}$  のゲート電極11bと行方向に隣接するメモリセルMCの負荷用MISFET  $Q_{p2}$  のゲート電極11aとの間の中間の仮想線  $C_{p1}$  との間の幅  $L_c$  よりも小さくなるように構成されている。これにより、行方向におけるメモリセルサイズを縮小することができる。

【0052】次に、上記のように構成された本実施の形態のSRAMの製造方法を図7～図17を用いて説明する。

【0053】まず、図7(メモリセル約1個分の領域を示す半導体基板の平面図)および図8(メモリセル約1個分の領域を示す半導体基板の断面図)に示すように、窒化シリコン膜を熱酸化のマスクに用いた周知のLOCOS(選択酸化)法によって、p型単結晶シリコンからなる半導体基板1の主面に素子分離用のフィールド酸化膜2を形成する。次に、フォトリソ膜をマスクにして半導体基板1の一部にp型不純物(例えばホウ素(B))、他の一部にn型不純物(例えばリン(P))をイオン打ち込みしてp型ウエル3およびn型ウエル4を形成した後、p型ウエル3の活性領域5およびn型ウエル4の活性領域6の表面を熱酸化してゲート酸化膜8を形成する。

【0054】次に、図9および図10に示すように、転送用MISFET  $Q_{t1}$ 、 $Q_{t2}$  のゲート電極9(ワード線WL)、負荷用MISFET  $Q_{p1}$ 、駆動用MISFET  $Q_{d1}$  に共通のゲート電極11aおよび負荷用MISFET  $Q_{p2}$ 、駆動用MISFET  $Q_{d2}$  に共通のゲート電極11bを形成する。ゲート電極9(ワード線WL)およびゲート電極11a、11bは、半導体基板1上にCVD(Chemical Vapor Deposition)法でn型不純物(例えばリン)をドーブしたn型多結晶シリコン膜(またはn型多結晶シリコン膜とタングステンシリサイド(WSi)膜との積層膜からなるポリサイド膜)を堆積し、次いでその上部にCVD法で窒化シリコン膜13を堆積した後、フォトリソ膜をマスクにしたエッチングで窒化シリコン膜13およびn型多結晶シリコン膜(またはポリサイド膜)をパターニングして形成する。

【0055】次に、図11に示すように、半導体基板1上にCVD法で堆積した窒化シリコン膜をRIE(Reactive Ion Etching)法で異方的にエッチングすることにより、ゲート電極9(ワード線WL)およびゲート電極11a、11bの側壁にサイドウォールスペーサ14を形成する。続いて、n型ウエル4を覆うフォトリソ膜をマスクにしてp型ウエル3にn型不純物(リンまたはヒ素(As))をイオン打ち込みすることにより、n型半導体領域7(転送用MISFET  $Q_{t1}$ 、 $Q_{t2}$  のソ

ス、ドレイン領域)およびn型半導体領域10(駆動用MISFET  $Q_{d1}$ 、 $Q_{d2}$  のソース、ドレイン領域)を形成する。また、p型ウエル3を覆うフォトリソ膜をマスクにしてn型ウエル4にp型不純物(ホウ素)をイオン打ち込みすることにより、p型半導体領域12

(負荷用MISFET  $Q_{p1}$ 、 $Q_{p2}$  のソース、ドレイン領域)を形成する。なお、これら6個のMISFETのソース、ドレイン領域は、高不純物濃度の半導体領域と低不純物濃度の半導体領域とからなるLDD(Lightly Doped Drain)構造にしてもよい。この場合は、上記サイドウォールスペーサ14を形成する工程の前後にp型ウエル3およびn型ウエル4に不純物のイオン打ち込みをそれぞれ1回ずつ行う。

【0056】ここまでの工程で、メモリセルMCを構成する6個のMISFET(駆動用MISFET  $Q_{d1}$ 、 $Q_{d2}$ 、転送用MISFET  $Q_{t1}$ 、 $Q_{t2}$ 、および負荷用MISFET  $Q_{p1}$ 、 $Q_{p2}$ )が完成する。

【0057】次に、図12および図13に示すように、半導体基板1上にCVD法で酸化シリコン膜を堆積して層間絶縁膜15を形成した後、フォトリソ膜をマスクにして層間絶縁膜15およびその下部の窒化シリコン膜(窒化シリコン膜13およびサイドウォールスペーサ14)を順次エッチングすることにより、駆動用MISFET  $Q_{d1}$  のドレイン領域(n型半導体領域10)および駆動用MISFET  $Q_{d2}$ 、負荷用MISFET  $Q_{p1}$  に共通のゲート電極11aの上部にコンタクトホール20を形成し、負荷用MISFET  $Q_{p2}$  のドレイン領域(p型半導体領域12)および駆動用MISFET  $Q_{d1}$ 、負荷用MISFET  $Q_{p1}$  に共通のゲート電極11bの上部にコンタクトホール21を形成する。

【0058】次に、図14および図15に示すように、フォトリソ膜をマスクにして層間絶縁膜15をエッチングすることにより、駆動用MISFET  $Q_{d1}$  のソース、ドレイン領域(n型半導体領域10)の上部にコンタクトホール22、23を形成し、駆動用MISFET  $Q_{d2}$  のソース領域(n型半導体領域10)の上部にコンタクトホール24を形成する。また、このとき同時に負荷用MISFET  $Q_{p2}$  のソース、ドレイン領域(p型半導体領域12)の上部にコンタクトホール25、26を形成し、負荷用MISFET  $Q_{p1}$  のソース領域(p型半導体領域12)の上部にコンタクトホール27を形成し、転送用MISFET  $Q_{t1}$ 、 $Q_{t2}$  の各ドレイン領域(n型半導体領域7)の上部にコンタクトホール28、29を形成する。

【0059】上記コンタクトホール22～29を形成するためのエッチングは、窒化シリコン膜(窒化シリコン膜13およびサイドウォールスペーサ14)が除去されるのを防ぐために、酸化シリコン膜(層間絶縁膜15)を高い選択比でエッチングするガスを使用して行い、コンタクトホール22～29をゲート電極(ゲート電極

9、ゲート電極11a、11b)に対して自己整合(セルフアライン)で形成する。これにより、コンタクトホール22~29とゲート電極(ゲート電極9、ゲート電極11a、11b)との合わせ余裕が不要となり、コンタクトホール22~29とゲート電極(ゲート電極9、ゲート電極11a、11b)との間隔を縮小することができるので、その分、メモリセルサイズを縮小することが可能となる。なお、上記コンタクトホール22~29を形成した後に、前記コンタクトホール20、21を形成してもよい。

【0060】次に、図16および図17に示すように、層間絶縁膜15の上部にスパッタリング法でA1合金膜を堆積した後、フォトリソ膜をマスクにしたエッチングでこのA1合金膜をパターニングすることにより、局所配線L<sub>1</sub>、L<sub>2</sub>、電源電圧線16A、基準電圧線16Bおよびパッド層16Cを形成する。

【0061】次に、半導体基板1上にCVD法で酸化シリコン膜からなる層間絶縁膜17を堆積し、フォトリソ膜をマスクにしたエッチングでパッド層16Cの上部の層間絶縁膜17にスルーホール30、31を形成した後、層間絶縁膜17の上部にスパッタリング法でA1合金膜を堆積し、フォトリソ膜をマスクにしたエッチングでこのA1合金膜をパターニングしてデータ線DL、/DLを形成することにより、前記図2および図3に示す本実施の形態のメモリセルMCが完成する。

【0062】(実施の形態2)図18は、本実施の形態のメモリセルを示す半導体基板の平面図、図19は、同じく断面図である。本実施の形態のメモリセルMCは、前記実施の形態1と同様、メモリセルMCを構成する6個のMISFETのうち、4個のnチャネル型MISFET(転送用MISFETQ<sub>t1</sub>、Q<sub>t</sub>、および駆動用MISFETQ<sub>d1</sub>、Q<sub>d</sub>)の左右の中心線(300)がメモリセルMCの左右の中心線(100)よりも左側にずれており、pチャネル型MISFET(負荷用MISFETQ<sub>p1</sub>、Q<sub>p</sub>)の左右の中心線(400)がメモリセルMCの左右の中心線(100)よりも右側にずれている。

【0063】またこれに伴って、駆動用MISFETQ<sub>d1</sub>、負荷用MISFETQ<sub>p1</sub>に共通のゲート電極11aおよび駆動用MISFETQ<sub>d</sub>、負荷用MISFETQ<sub>p</sub>に共通のゲート電極11bは、それぞれ略Y字型のパターンでレイアウトされている。すなわち、駆動用MISFETQ<sub>d1</sub>のゲート電極11aは、これと一体に構成された負荷用MISFETQ<sub>p1</sub>のゲート電極11aよりも左側にずれており、負荷用MISFETQ<sub>p1</sub>のゲート電極11bは、これと一体に構成された駆動用MISFETQ<sub>d1</sub>のゲート電極11bよりも右側にずれている。

【0064】メモリセルMCを構成する6個のMISFETが形成された活性領域5、6は、前記実施の形態1

と異なり、半導体基板1の主面に形成された素子分離溝40によって周囲を囲まれている。素子分離溝40は、素子分離領域の半導体基板1をエッチングして溝を形成した後、半導体基板1上にCVD法で酸化シリコン膜41を堆積し、この酸化シリコン膜41をCMP(化学的機械的研磨)法で研磨して溝の内部に残すことにより形成する。その後のメモリセル形成工程は、前記実施の形態1と同じである。

【0065】メモリセルMCを構成する6個のMISFETが形成される活性領域5、6を上記のような素子分離溝40によって分離する本実施の形態によれば、前記実施の形態1のようなLOCOS法で形成された活性領域5、6に比べて、活性領域5、6の端部にバースビーク(bird's beak)が生じない分、p型ウエル3の活性領域5とn型ウエル4の活性領域6とのスペースを縮小することができる。すなわち、本実施の形態によれば、p型ウエル3に形成される4個のnチャネル型MISFET(転送用MISFETQ<sub>t1</sub>、Q<sub>t</sub>、および駆動用MISFETQ<sub>d1</sub>、Q<sub>d</sub>)とn型ウエル4に形成される2個のpチャネル型MISFET(負荷用MISFETQ<sub>p1</sub>、Q<sub>p</sub>)とのスペースを縮小することができるので、メモリセルサイズを縮小することができる。

【0066】他方、前記図6に示した比較例のように、nチャネル型MISFET(転送用MISFETQ<sub>t1</sub>、Q<sub>t</sub>、および駆動用MISFETQ<sub>d1</sub>、Q<sub>d</sub>)の左右の中心線およびpチャネル型MISFET(負荷用MISFETQ<sub>p1</sub>、Q<sub>p</sub>)の左右の中心線をメモリセルMCの中心線(100)と一致させたレイアウトでは、本実施の形態のような素子分離技術を使ってp型ウエル3の活性領域5とn型ウエル4の活性領域6とのスペースを縮小しようとする、ゲート電極11aとゲート電極11bとのスペース(X)の最小値が制約となって、ある程度までしか縮小することができない。従って、本実施の形態のレイアウトによれば、比較例のレイアウトに比べてメモリセルサイズをより一層縮小することができる。

【0067】(実施の形態3)図20は、本実施の形態のメモリセルの構成を示す半導体基板の平面図、図21(a)は、図20のA-A'線に沿った半導体基板の断面図、図21(b)は、図20のB-B'線に沿った半導体基板の断面図である。

【0068】図示のように、本実施の形態のメモリセルMCは、前記実施の形態1、2と同様、メモリセルMCを構成する6個のMISFETのうち、4個のnチャネル型MISFET(転送用MISFETQ<sub>t1</sub>、Q<sub>t</sub>、および駆動用MISFETQ<sub>d1</sub>、Q<sub>d</sub>)の左右の中心線(300)がメモリセルMCの左右の中心線(100)よりも左側にずれており、pチャネル型MISFET(負荷用MISFETQ<sub>p1</sub>、Q<sub>p</sub>)の左右の中心線(400)がメモリセルMCの左右の中心線(100)

よりも右側にずれている。

【0069】またこれに伴って、駆動用MISFETQ<sub>d1</sub>のゲート電極11aは、これと一体に構成された負荷用MISFETQ<sub>p1</sub>のゲート電極11aよりも左側にずれており、負荷用MISFETQ<sub>p2</sub>のゲート電極11bは、これと一体に構成された駆動用MISFETQ<sub>d2</sub>のゲート電極11bよりも右側にずれている。すなわち、駆動用MISFETQ<sub>d1</sub>、負荷用MISFETQ<sub>p1</sub>に共通のゲート電極11aおよび駆動用MISFETQ<sub>d2</sub>、負荷用MISFETQ<sub>p2</sub>に共通のゲート電極11bは、略Y字型のパターンでレイアウトされている。

【0070】一方、メモリセルMCの一对の蓄積ノード間を交差結合する一对の局所配線L<sub>1</sub>、L<sub>2</sub>は、前記実施の形態1、2と異なり、コンタクトホール50、51の内部に埋め込まれたW（タングステン）プラグ52によって構成されている。

【0071】上記局所配線L<sub>1</sub>、L<sub>2</sub>を形成するには、まず前記実施の形態1と同様の方法でp型ウエル3に4個のnチャネル型MISFET（転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub>、および駆動用MISFETQ<sub>d1</sub>、Q<sub>d2</sub>）を形成し、n型ウエル4に2個のpチャネル型MISFET（負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>）を形成する。このとき、ゲート電極11a、11bの上部を覆う窒化シリコン膜13および側壁のサイドウォールスペース14は、酸化シリコン膜で構成してもよい。

【0072】次に、図22に示すように、ゲート電極11a、11bを覆う窒化シリコン膜13の一部をエッチングすることにより、局所配線L<sub>1</sub>と接続される領域のゲート電極11bおよび同図には示さない局所配線L<sub>2</sub>と接続される領域のゲート電極11aを露出させた後、半導体基板1上にCVD法で窒化シリコン膜53を堆積する。

【0073】次に、半導体基板1上にCVD法で酸化シリコン膜を堆積して層間絶縁膜15を形成した後、フォトリソグラフィをマスクにして層間絶縁膜15をエッチングすることにより、局所配線L<sub>1</sub>を形成する領域の層間絶縁膜15にコンタクトホール50を形成し、局所配線L<sub>2</sub>を形成する領域の層間絶縁膜15にコンタクトホール51を形成する。またこのとき同時に、駆動用MISFETQ<sub>d1</sub>、Q<sub>d2</sub>のソース領域（n型半導体領域10）の上部にコンタクトホール23、24を形成し、同図には示さない負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のソース領域（p型半導体領域12）の上部にコンタクトホール27、26を形成する。

【0074】上記コンタクトホール50、51、23～27を形成するためのエッチングは、酸化シリコン膜（層間絶縁膜15）を高い選択比でエッチングするガスを使用して行い、コンタクトホール50、51、23～27の内部の酸化シリコン膜（層間絶縁膜15）をオー

バーエッチングで完全に除去しても、それらの底部の窒化シリコン膜53が除去されないようにする。

【0075】次に、図23に示すように、コンタクトホール50、51、23～27の底部の窒化シリコン膜53をエッチングして除去する。その後、半導体基板1上にCVD法でW膜（図示せず）を堆積し、このW膜をエッチバック（または化学的機械的研磨法で研磨）することにより、コンタクトホール50の内部にWプラグ52からなる局所配線L<sub>1</sub>を形成し、コンタクトホール50の内部にWプラグ52からなる局所配線L<sub>2</sub>を形成する。またこのとき同時に、コンタクトホール23～27の内部にWプラグ52を形成する。

【0076】次に、半導体基板1にスパッタリング法でAl合金膜を堆積し、フォトリソグラフィをマスクにしたエッチングでこのAl合金膜をパターニングして電源電圧線16A、基準電圧線16Bおよびパッド層16Cを形成することにより、前記図20、図21に示すメモリセルMCが得られる。なお、Al合金膜をパターニングする際は、Wプラグ52の表面もエッチング雰囲気にも晒されるが、Al合金膜は、W膜に対するエッチング選択比を十分に確保することができるので、Wプラグ52が削られる虞はない。

【0077】前記実施の形態1のように、局所配線L<sub>1</sub>、L<sub>2</sub>を電源電圧線16Aや基準電圧線16Bと同じ配線層に形成する場合は、局所配線L<sub>1</sub>、L<sub>2</sub>と電源電圧線16Aおよび基準電圧線16Bとのスペースは、フォトリソグラフィの解像限界で決まる最小寸法以下に縮小することができない。これに対し、局所配線L<sub>1</sub>、L<sub>2</sub>をWプラグ52で構成する本実施の形態によれば、局所配線L<sub>1</sub>、L<sub>2</sub>と電源電圧線16Aおよび基準電圧線16Bとのスペースを、局所配線L<sub>1</sub>、L<sub>2</sub>とコンタクトホール50、51との合わせ精度で決まる最小寸法まで縮小することができる。一般に、合わせ精度で決まる最小寸法は、フォトリソグラフィの解像限界で決まる最小寸法よりも小さいので、本実施の形態によれば、メモリセルサイズをさらに縮小することができる。

【0078】（実施の形態4）図24は、本実施の形態のメモリセルの構成を示す半導体基板の平面図である。

【0079】前記実施の形態3では、局所配線L<sub>1</sub>、L<sub>2</sub>をWプラグ52で構成したが、本実施の形態では、前記実施の形態1と同様、局所配線L<sub>1</sub>、L<sub>2</sub>を電源電圧線16Aや基準電圧線16Bと同じ配線層に形成している。ただし、局所配線L<sub>1</sub>、L<sub>2</sub>と電源電圧線16Aおよび基準電圧線16Bとのスペースによってメモリセルサイズが律速されないよう、局所配線L<sub>1</sub>、L<sub>2</sub>は、それらの両端部がコンタクトホール20、21、22、25の端部よりも中央よりに縮小されたパターンとなっている。コンタクトホール20、21、22、25は、局所配線L<sub>1</sub>、L<sub>2</sub>と広い面積でオーバーラップしており、これにより、局所配線L<sub>1</sub>とコンタクトホール21、22との間

および局所配線 $L_1$ とコンタクトホール20、25との間に十分な導通が確保されるようになっている。

【0080】また、前記実施の形態3の局所配線 $L_1$ 、 $L_2$ は、p型ウエル3からn型ウエル4に跨って延在する細長いコンタクトホール50、51に埋め込まれたWプラグ52によって構成されている。このような細長いコンタクトホール50、51をフォトリソグラフィ技術によって形成すると、コンタクトホール50、51の中央部の幅が両端部に比べて太くなってしまうため、局所配線 $L_1$ 、 $L_2$ 間のショートが懸念される。特に、メモリセルの微細化が進んだ場合、略正方形のコンタクトホール23～29と細長いコンタクトホール50、51とを同時に形成しようとする、露光条件の最適化が困難となる。

【0081】本実施の形態では、コンタクトホール20、21、22、25の形状が同時に形成する他のコンタクトホール23、24、26～29の形状に近いので、露光条件の最適化は容易である。

【0082】(実施の形態5) 図25および図26は、本発明のメモリセルをメモリセルアレイ内で配置する方法の第1の例を示す平面図である。図25は、図26に示すメモリセルパターンのうち、活性領域5、6とゲート電極9(ワード線WL)およびゲート電極11a、11bのパターンのみを示している。

【0083】図示のように、この第1の例では、メモリセルMCを図の横方向(ワード線WLの延在方向)には同じ繰り返しパターンで配置し、縦方向(相補性データ線DL、/DLの延在方向)には隣接するメモリセルMCとの境界に対して線対称となるように配置している。

【0084】一方、図27および図28は、本発明のメモリセルをメモリセルアレイ内で配置する方法の第2の例を示す平面図である。図27は、図28に示すメモリセルパターンのうち、活性領域5、6とゲート電極9(ワード線WL)およびゲート電極11a、11bのパターンのみを示している。

【0085】図示のように、この第2の例では、メモリセルMCを図の横方向(ワード線WLの延在方向)には同じ繰り返しパターンで配置し、縦方向(相補性データ線DL、/DLの延在方向)には隣接するメモリセルMCと点対称となるように回転させて配置し、相補性データ線と活性領域5、6とが縦方向に接続されるようにしている。そのため、縦方向に沿ったメモリセルMCの配置は、1セルおきにメモリセルMCの中心が左右(行方向)にずれた配置になっている。この第2の例は、前記第1の例に比べてメモリセルMCの配置が複雑となるが、データ線に付く容量が左右のデータ線(データ線DL、データ線/DL)で同じになり、バランスが取れるという利点がある。

【0086】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記

施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0087】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0088】本発明によれば、メモリセルを構成する6個のMISFETのうち、4個のnチャネル型MISFETの左右の中心をメモリセルの左右の中心よりも左右の一方側にずらし、2個のpチャネル型MISFETの左右の中心をメモリセルの左右の中心よりも左右の他方側にずらすことにより、メモリセル内の無駄なスペースを無くすることができ、メモリセルサイズを縮小することができる。

【図面の簡単な説明】

【図1】本発明のSRAMのメモリセルを示す等価回路図である。

【図2】本発明の一実施の形態であるSRAMのメモリセルを示す平面図である。

【図3】図3のIII-III'線に沿った半導体基板の断面図である。

【図4】本発明の一実施の形態であるSRAMのメモリセルを示す平面図である。

【図5】本発明の一実施の形態であるSRAMのメモリセルアレイの繰り返しパターンを示す平面図である。

【図6】比較例のメモリセルを示す平面図である。

【図7】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の平面図である。

【図8】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の断面図である。

【図9】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の平面図である。

【図10】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の断面図である。

【図11】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の断面図である。

【図12】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の平面図である。

【図13】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の断面図である。

【図14】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の平面図である。

【図15】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の断面図である。

【図16】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の平面図である。

【図17】本発明の一実施の形態であるSRAMの製造方法を示す半導体基板の断面図である。

【図18】本発明の他の実施の形態であるSRAMのメモリセルを示す平面図である。

【図 19】本発明の他の実施の形態である SRAM のメモリセルを示す断面図である。

【図 20】本発明の他の実施の形態である SRAM のメモリセルを示す平面図である。

【図 21】(a) は、図 20 の A-A' 線に沿った半導体基板の断面図、(b) は、図 20 の B-B' 線に沿った半導体基板の断面図である。

【図 22】(a)、(b) は、本発明の他の実施の形態である SRAM の製造方法を示す半導体基板の断面図である。

【図 23】(a)、(b) は、本発明の他の実施の形態である SRAM の製造方法を示す半導体基板の断面図である。

【図 24】本発明の他の実施の形態である SRAM のメモリセルを示す平面図である。

【図 25】本発明のメモリセルをメモリセルアレイ内で配置する方法の第 1 の例を示す平面図である。

【図 26】本発明のメモリセルをメモリセルアレイ内で配置する方法の第 1 の例を示す要部平面図である。

【図 27】本発明のメモリセルをメモリセルアレイ内で配置する方法の第 2 の例を示す平面図である。

【図 28】本発明のメモリセルをメモリセルアレイ内で配置する方法の第 2 の例を示す要部平面図である。

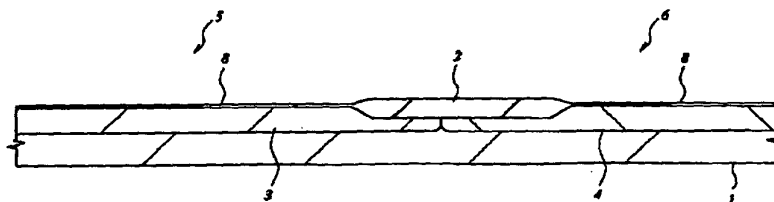
【符号の説明】

- 1 半導体基板
- 2 フィールド酸化膜
- 3 p 型ウエル
- 4 n 型ウエル
- 5 活性領域
- 6 活性領域
- 7 n 型半導体領域 (ソース領域、ドレイン領域)
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 n 型半導体領域 (ソース領域、ドレイン領域)

- 11a ゲート電極
- 11b ゲート電極
- 12 p 型半導体領域 (ソース領域、ドレイン領域)
- 13 窒化シリコン膜
- 14 サイドウォールスペーサ
- 15 層間絶縁膜
- 16A 電源電圧線
- 16B 基準電圧線
- 16C パッド層
- 17 層間絶縁膜
- 20 20~29 コンタクトホール
- 30、31 スルーホール
- 40 素子分離溝
- 41 酸化シリコン膜
- 50、51 コンタクトホール
- 52 W プラグ (局所配線)
- 53 窒化シリコン膜
- 100 中心線
- 200 中心線
- 300 中心線
- 400 中心線
- DL データ線
- /DL データ線
- INV<sub>1</sub>, INV<sub>2</sub> CMOS インバータ
- L<sub>1</sub> 局所配線
- MC メモリセル
- Q<sub>d1</sub> 駆動用 MISFET
- Q<sub>d2</sub> 駆動用 MISFET
- Q<sub>p1</sub> 負荷用 MISFET
- 30 Q<sub>p2</sub> 負荷用 MISFET
- Q<sub>t1</sub> 転送用 MISFET
- Q<sub>t2</sub> 転送用 MISFET
- WL ワード線

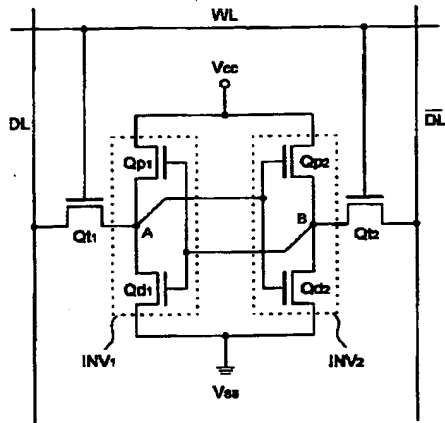
【図 8】

図 8

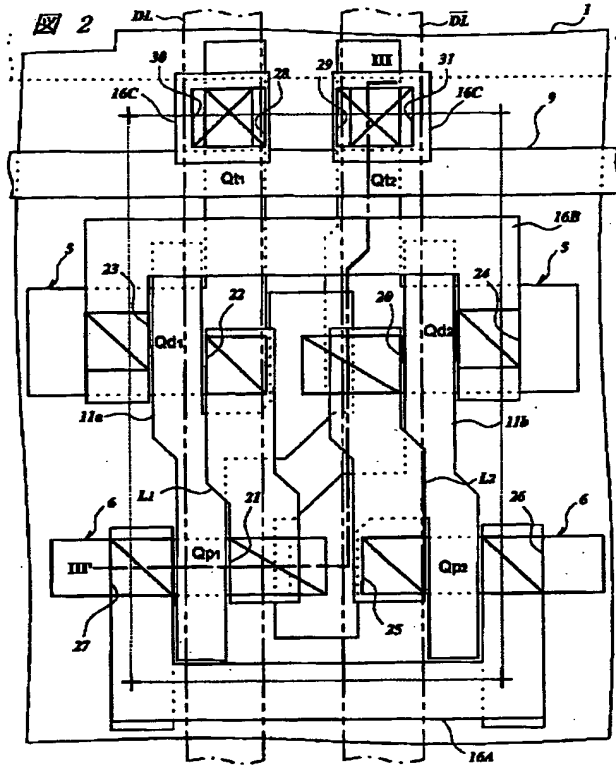


【図 1】

図 1

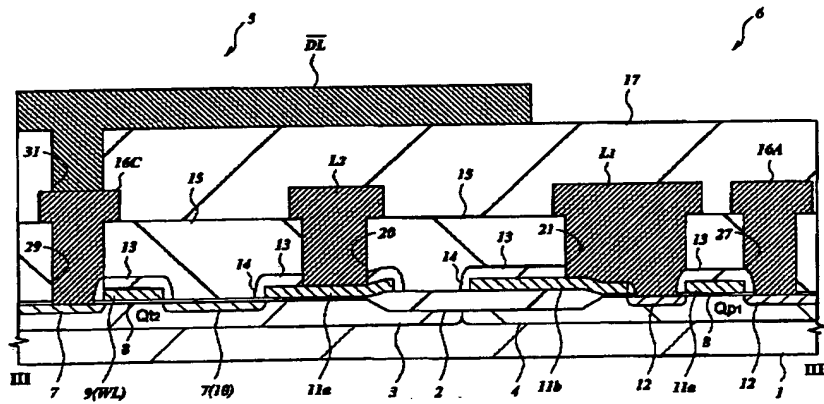


【図 2】



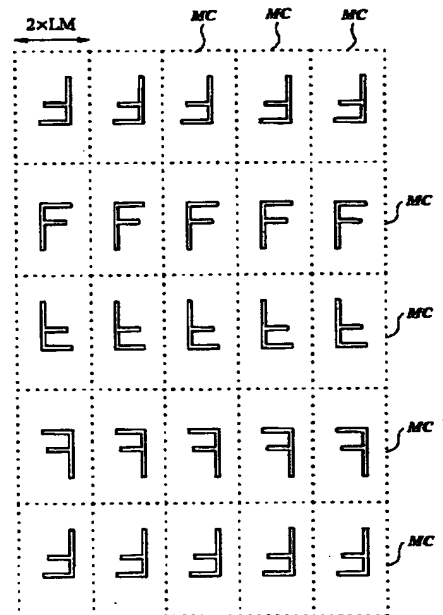
【図 3】

図 3

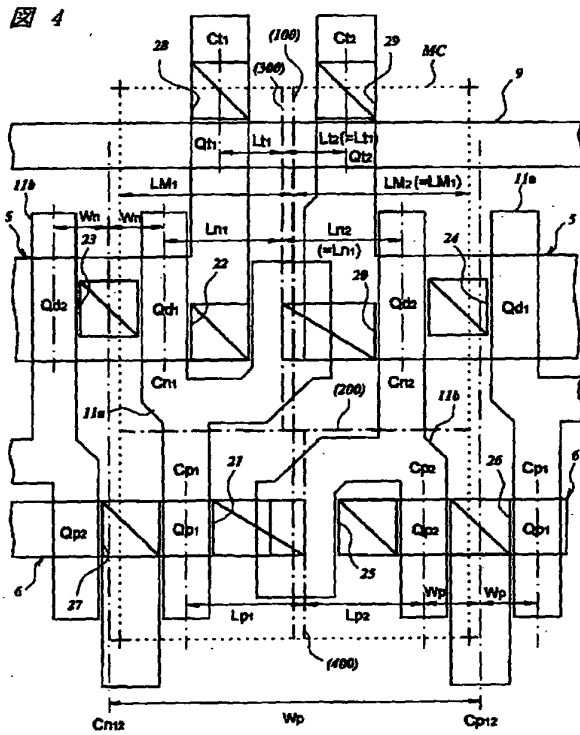


【図 5】

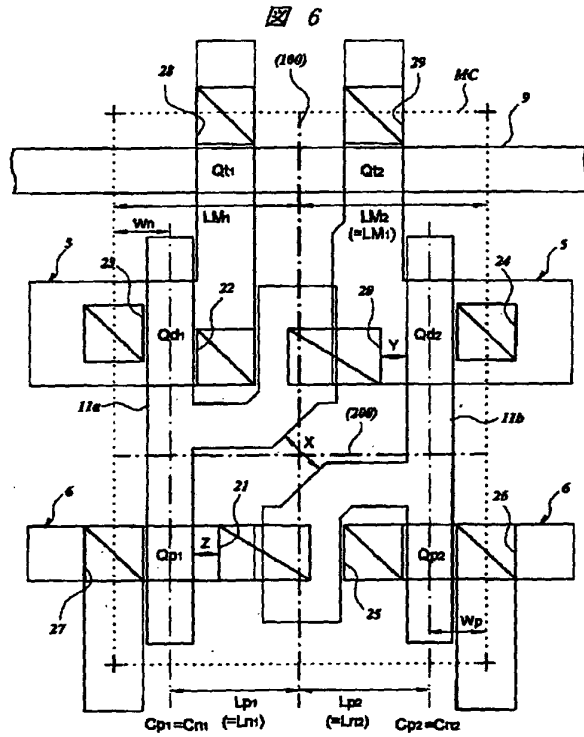
図 5



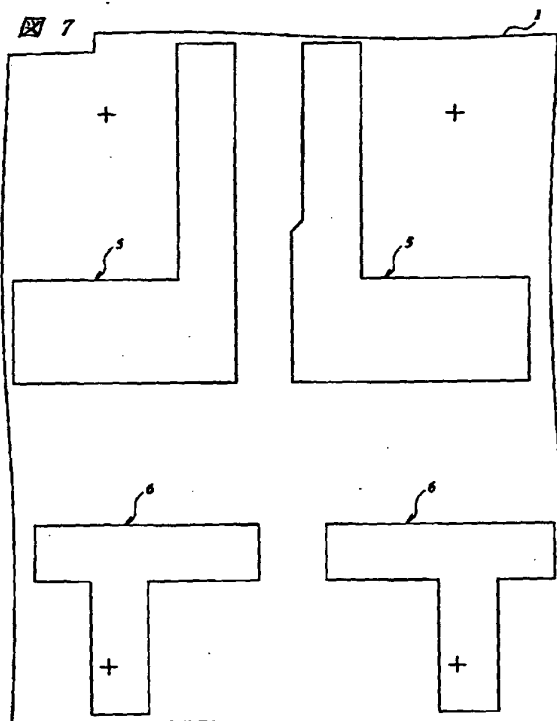
【図4】



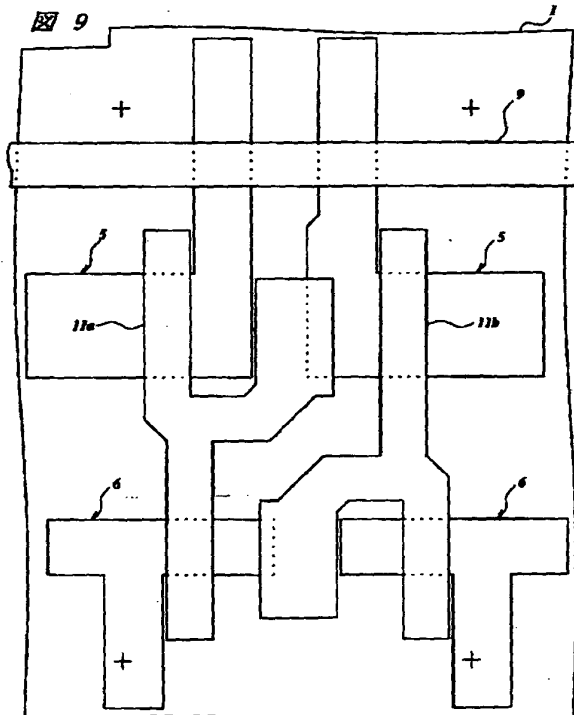
【図 6】



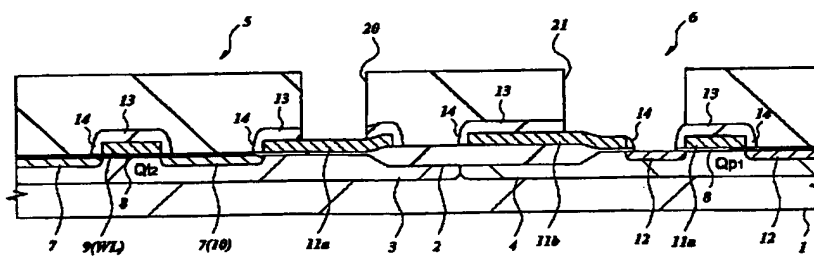
【图7】



【图9】

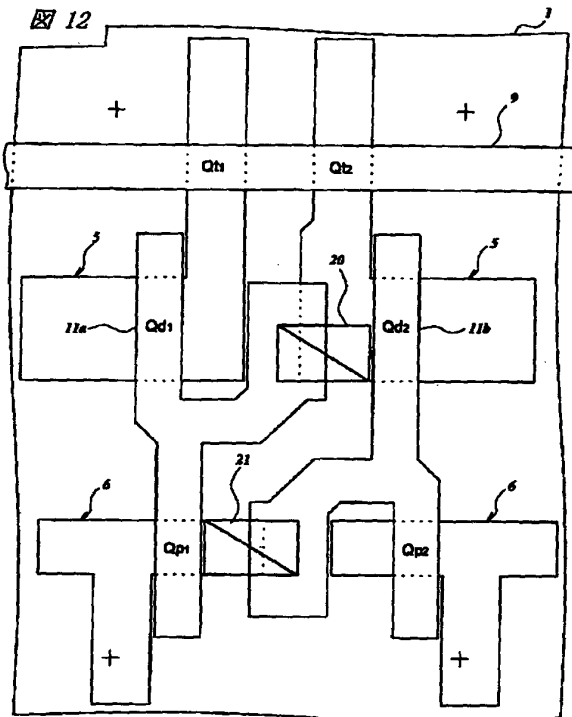


**10**

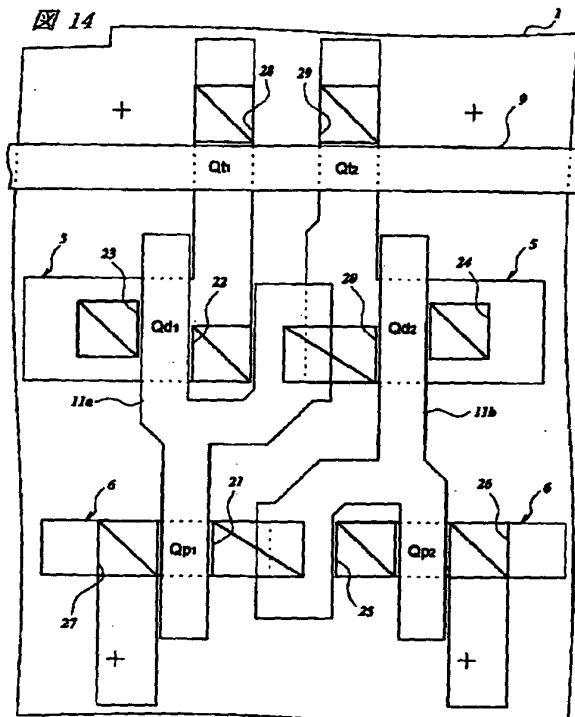




【図 12】

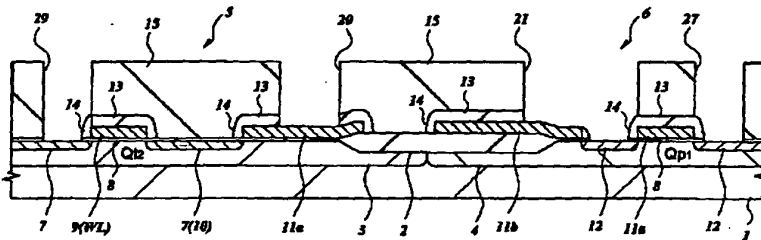


【図 14】

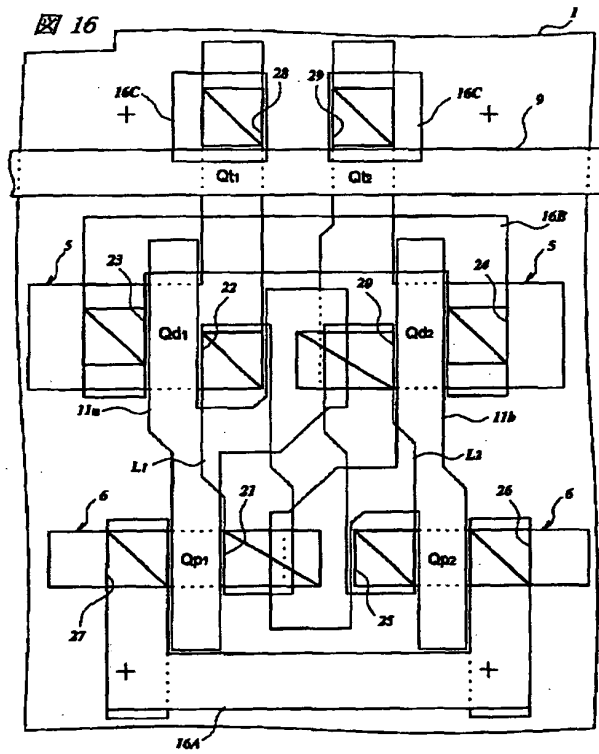


【図 15】

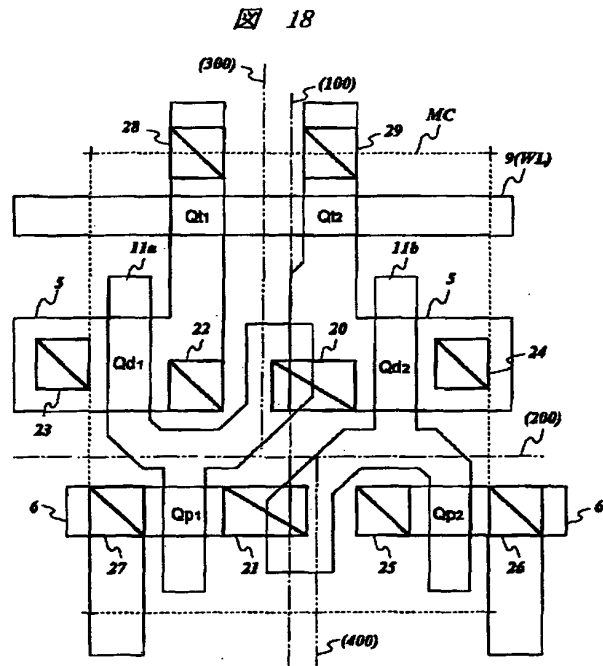
図 15



【図 16】

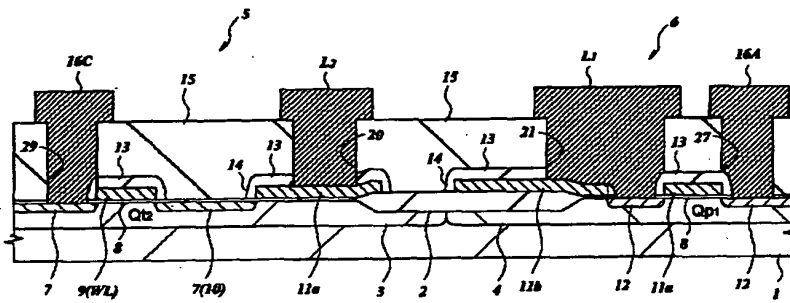


【図 18】



【図 17】

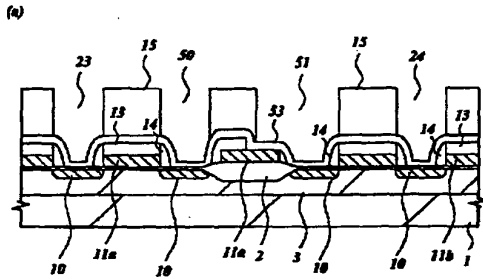
図 17





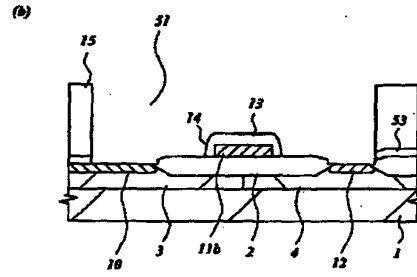
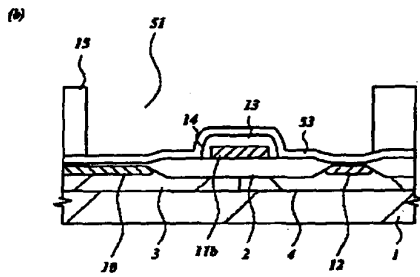
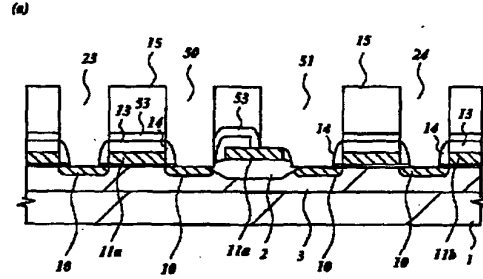
【図 22】

図 22

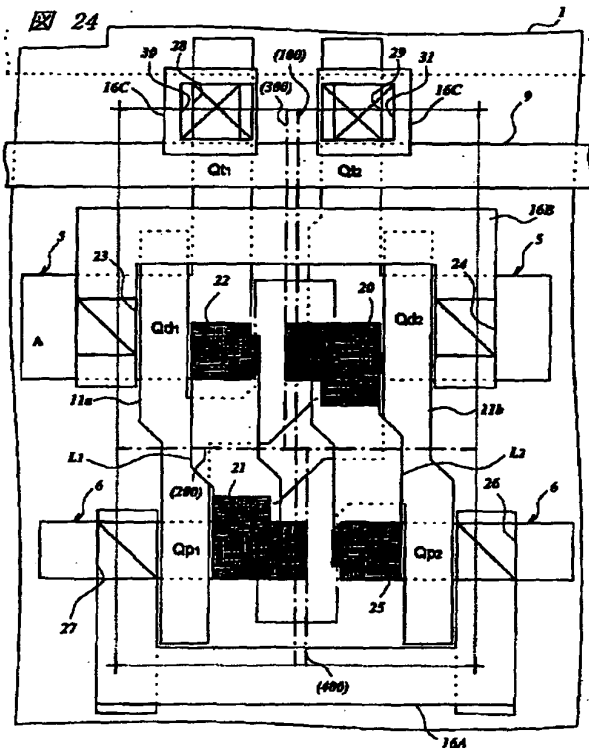


【図 23】

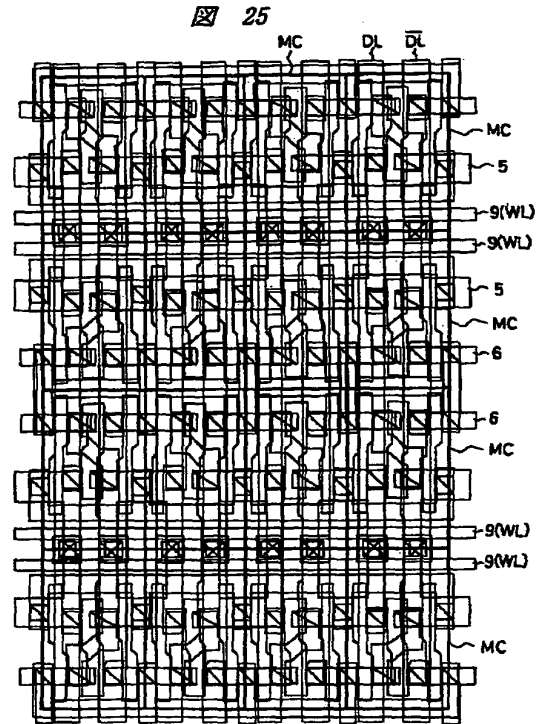
図 23



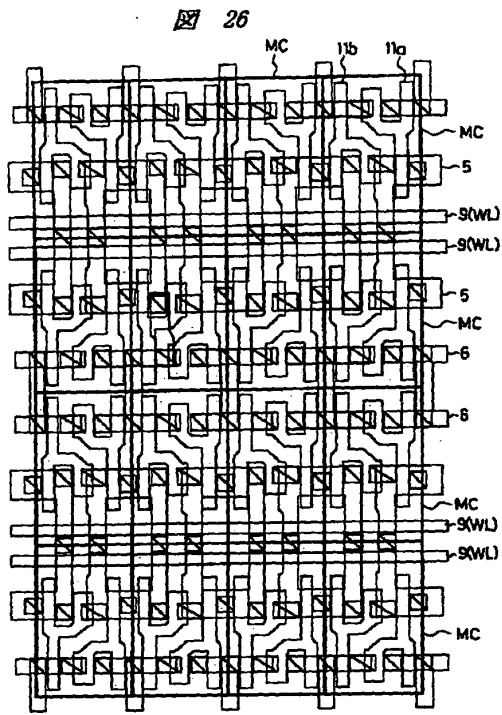
【図 24】



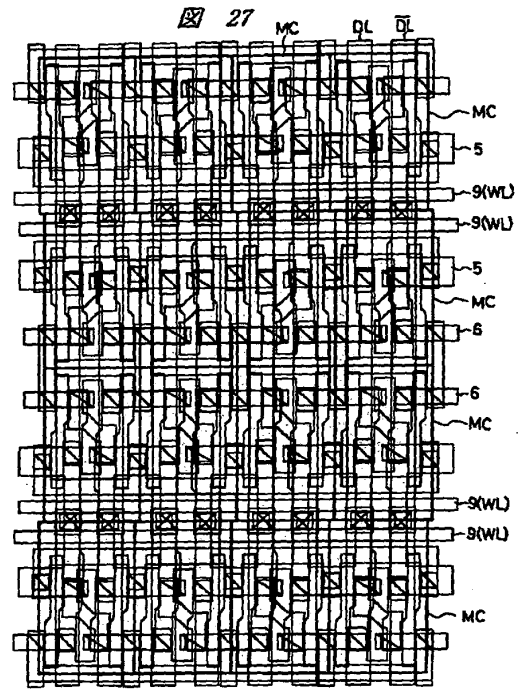
【図 25】



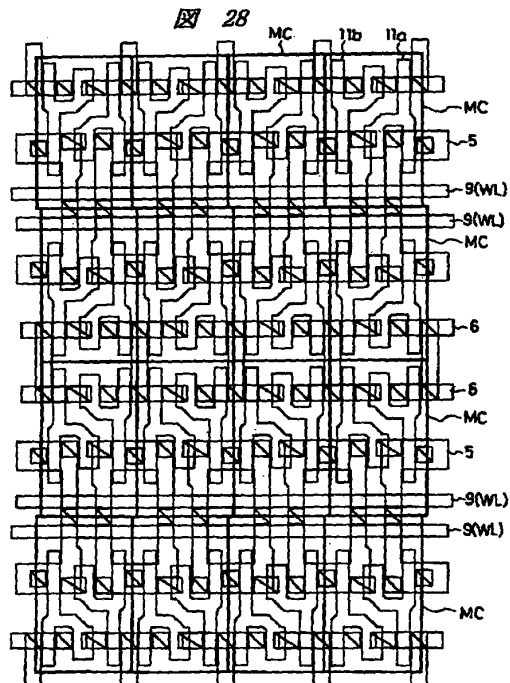
【図 26】



【図 27】



【図 28】



フロントページの続き

(72)発明者 三輪 秀郎

東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

(72)発明者 鶴岡 一浩

東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

Fターム(参考) 5F083 BS27 BS48 GA09 JA36 JA39

JA53 JA56 KA20 LA01 LA21

MA02 MA06 MA16 MA19 MA20

NA01 PR06 PR39 PR40